

Hochdynamische Strom- und Spannungsregelung von permanenterregten Synchronmaschinen auf Basis von Delta-Sigma Bitströmen

Von der Fakultät für Elektrotechnik, Informationstechnik, Physik
der Technischen Universität Carolo-Wilhelmina zu Braunschweig

zur Erlangung des Grades eines Doktors
der Ingenieurwissenschaften (Dr.-Ing.)

genehmigte Dissertation

von Dipl.-Ing. Michael Homann

aus Braunschweig

eingereicht am: 08.02.2016

mündliche Prüfung am: 14.09.2016

1. Referent: Prof. Dr.-Ing. W. Schumacher
2. Referent: Prof. Dr. rer. nat. M. Schilling

Druckjahr: 2016

Vorwort

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Regelungstechnik der Technischen Universität Braunschweig.

Mein besonderer Dank gilt meinem Doktorvater Herrn Professor Dr.-Ing. Walter Schumacher für das große Interesse an dieser Arbeit und die vielseitige Unterstützung.

Herrn Professor Dr. rer. nat. Meinhard Schilling danke ich für die Übernahme der Mitberichterstattung und die interessanten fachlichen Diskussionen. Mein Dank gilt auch Herrn Professor Dr.-Ing. Rolf Ernst für die Übernahme des Prüfungsvorsitzes.

Die Arbeit am Institut war geprägt von einer angenehmen Arbeitsatmosphäre, einem intensiven fachlichen Austausch unter den Kollegen und großem Zusammenhalt. Auch die fruchtbare Zusammenarbeit mit Studenten, die ihre Bachelor- und Masterarbeiten zu diesem Thema geschrieben haben, trugen wesentlich dazu bei. Besonders hervorheben möchte ich die beiden Arbeiten von Herrn Tobias Noeßelt M.Sc.. Ich danke allen ehemaligen Kollegen und Kolleginnen für die tolle Zeit.

Herrn Dipl.-Ing. Bernd Amlang gebührt Dank für die großartige Unterstützung bei der Elektronikentwicklung, Problemlösungen jeder Art und die angenehme Zusammenarbeit. Außerdem möchte ich mich insbesondere bei Herrn Dr.-Ing. Jan Klöck, Herrn Dipl.-Wirtsch.-Ing. Onno Martens und Herrn Axel Klein M.Sc. für die intensive fachliche Zusammenarbeit, die guten Ratschläge und die Durchsicht dieser Arbeit bedanken.

Zum Schluss möchte ich meinen größten Dank meiner Frau Benita und meinen Eltern Almut und Jürgen aussprechen, die mich immer während dieser Arbeit unterstützt und motiviert haben.

Rethen, im September 2016, Michael Homann

Inhaltsverzeichnis

Symbolverzeichnis	VII
Kurzfassung	XI
Abstract	XII
1 Einleitung	1
1.1 Stand der Forschung	3
1.1.1 Digitale Tiefpassfilter	4
1.1.2 Delta Sigma Signalverarbeitung	5
1.1.3 Breitbandiger Leistungselektronik-Modulator	7
1.2 Zielsetzung der Arbeit	9
2 Delta-Sigma Analog-Digital-Umsetzer	10
2.1 Delta-Analog-Digital-Umsetzer	11
2.2 Delta-Sigma-Modulator	14
2.2.1 Rauschverformung	17
2.2.2 Implementierung	22
2.2.3 Stabilität und Auslegung	24
2.2.4 Bewertung von ADUs	38
2.2.5 Eigenschaften des Bitstroms im Zeitbereich	40
2.3 Digitale Filter	49
2.3.1 Sinc ^k -Filter	51
2.3.2 Zweistufige Filter	56
2.4 Prüfstand	58
3 Konventionelle Delta-Sigma-Regelung	63
3.1 Spannungssteuerung	63
3.2 Spannungsregelung	68
3.3 Stromregelung	72
3.3.1 Stromkomponenten	73
3.3.2 Strom-Messkette	75
3.3.3 Störunterdrückung	77
3.3.4 Dynamik der Stromregelung	84
3.3.5 Implementierung der Sinc-Filter	88

4	Delta-Sigma-Signalverarbeitung	91
4.1	Überblick über verschiedene Verfahren	91
4.1.1	Delta-Addierer	92
4.1.2	Quantendekodierung	93
4.1.3	Bitstrom-Modifikation	97
4.2	Bewertung der Verfahren	99
4.3	DSSV Operationen	102
5	Einphasiger Delta-Sigma-PWM-Modulator	106
5.1	Delta-Sigma-PWM-Modulator	106
5.2	Spannungsregelung	113
5.2.1	Fehlspannungskompensation	116
5.2.2	Begrenzung	119
5.2.3	Schaltfrequenzvariation	120
6	Dreiphasiger Delta-Sigma-PWM-Modulator	127
6.1	Spannungssteuerung	128
6.2	Spannungsregelung	135
6.2.1	Dynamisches Verhalten	137
6.2.2	Schaltfrequenzverhalten	140
6.3	Stromregelung	147
6.3.1	Dynamisches Verhalten	149
7	Bitstrom-basierte Regelung einer Synchronmaschine	152
7.1	Rotororientierte Stromvorgabe	152
7.1.1	Dynamisches Verhalten	157
7.1.2	Stationäres Verhalten bei Wechsellanregung	166
7.2	Drehzahlregelung	170
7.3	Feldschwächung	170
8	Zusammenfassung und Ausblick	176
	Literaturverzeichnis	181
	Veröffentlichungen im Rahmen dieser Dissertation	192
	Betreute studentische Arbeiten	193

Symbolverzeichnis

Darstellung

x	Skalar
\underline{x}	Raumzeiger
\hat{x}	Spitzenwert
\overline{x}	Mittelwert
x_{eff}	Effektivwert
„ x “	Binäre Größe
$X(z)$	Z -Transformation von x
$x(\nu)$	Zeitdiskrete Wertefolge

Symbole

$\Delta\Sigma$	Delta Sigma
f_s	Abtastrate eines $\Delta\Sigma$ -Modulators
f_b	Bandbreite eines analogen Eingangssignals
f_d	Filterausgangsfrequenz nach der Dezimierung
f_g	Grenzfrequenz eines Filters
f_{PWM}	PWM-Frequenz
T_{PWM}	Periodendauer der PWM-Frequenz
T_{filt}	Gruppenlaufzeit eines Sinc-Filters
$T_{filt,k}$	Gruppenlaufzeit einer Filter-Kaskade
T_{impuls}	Zeitliche Breite der Impulsantwort eines Filters
T_r	Rechenzeit zur Ausführung des Regelgesetzes
T_u	Totzeit der Umrichterndynamik
T_{sa}	Zeitkonstante der Stromregelstrecke
T_{lu}	Totzeit der Spannungsregelung
d_q	Störsignal einer weißen Rauschquelle

k_q	Effektive Verstärkung eines Quantisierers
u	Eingangssignal eines $\Delta\Sigma$ -Modulators
y	Ausgangssignal eines $\Delta\Sigma$ -Modulators
b_0	Normierte Anzahl von „0“-Bits
b_1	Normierte Anzahl von „1“-Bits
Q_+	Anzahl der positiven Quanten
Q_-	Anzahl der negativen Quanten
Q_0	Anzahl der Nullquanten
N_f	Länge eines Bitstromfensters
m	Verstärkung in der Rückführung eines $\Delta\Sigma$ -Modulators
m_u	Spannungsverstärkung in der Rückführung eines $\Delta\Sigma$ -Modulators
m_i	Stromverstärkung in der Rückführung eines $\Delta\Sigma$ -Modulators
n	Verstärkung von Quanten vor einem $\Delta\Sigma$ -Modulator
G_{uz}	Führungsübertragungsfunktion eines $\Delta\Sigma$ -Modulators
G_{dz}	Störübertragungsfunktion eines $\Delta\Sigma$ -Modulators
G_{sinc}	Übertragungsfunktion eines Sinc-Filters
G_h	Übertragungsfunktion eines Halteglieds
$G_{k,v.}$	Vereinfachter offener Stromregelkreis
$G_{g,v.}$	Vereinfachter geschlossener Stromregelkreis
G_k	Offener Stromregelkreis
$G_{g,u}$	Führungsübertragungsfunktion Stromregelkreis
$G_{g,d}$	Störübertragungsfunktion Stromregelkreis
k	Ordnung eines Sinc-Filters
n_{mod}	Ordnung eines $\Delta\Sigma$ -Modulators
D	Dezimierungsrate
R_s	Statorwiderstand
L_s	Stranginduktivität
Φ_f	Erregerfluss
ε	Mechanischer Winkel
ω	Mechanische Winkelgeschwindigkeit
ω_{el}	Elektrische Winkelgeschwindigkeit
U_d	Zwischenkreisspannung
$u_{p1,2,3}$	Ist-Phasenpotentiale
$u_{s1,s2,s3}$	Strangspannungen

$u_{soll1,2,3}$	Soll-Phasenpotentiale
\underline{u}_s	Spannungsraumzeiger
\underline{u}_{ist}	Ist-Spannungsraumzeiger
\underline{u}_{soll}	Soll-Spannungsraumzeiger
u_{hq}	Querkomponente der Hauptfeldspannung
u_{hd}	Längskomponente der Hauptfeldspannung
u_{ha}, u_{hb}	Hauptfeldspannung in ab-Koordinaten
u_{sa}, u_{sb}	Statorspannung in ab-Koordinaten
u_{s1}, u_{s2}, u_{s3}	Statorspannung in 123-Koordinaten
\underline{u}_e	Regelfehler-Raumzeiger
$u_{e,i}$	Komponenten des Regelfehler-Raumzeigers im 120°-System
$i_{s1,s2,s3}$	Strangströme
\underline{i}_s	Stromraumzeiger
i_{sd}	Längsstatorstrom
i_{sq}	Querstatorstrom
i_{sa}, i_{sb}	Statorstrom in ab-Koordinaten
i_{s1}, i_{s2}, i_{s3}	Statorstrom in 123-Koordinaten
N_0, N_1, N_2	Schwellwert eines Hystereseglieds
V_1	Schaltvektor, in dem ein Schalter geschlossen ist
V_2	Schaltvektor, in dem zwei Schalter geschlossen sind
V_s	Verstärkung der Stromregelstrecke
V_p	Verstärkung des Stromreglers
Ψ_d	Phasenabstand
ω_d	Durchtrittsfrequenz

Abkürzungen

ADU	Analog-Digital-Umsetzung
BM	Bitstrom-Modifikation
BS	Allgemeiner Bitstrom
BS ₀	Nullbitstrom
CORDIC	Coordinate Rotation Digital Computer
DA	Delta-Addierer

DAU	Digital-Analog-Umsetzer
DR	Dynamischer Bereich
DSM	$\Delta\Sigma$ -Modulator
DSP	Digitaler Signalprozessor
DSSV	Delta-Sigma-Signalverarbeitung
ENOB	Effektive Anzahl von Bits
FFT	Schnelle Fourier-Transformation
FIR	Filter mit endlicher Impulsantwort
FPGA	Field Programmable Gate Array
GLZ	Gruppenlaufzeit
IGBT	Bipolartransistor mit isolierter Gate-Elektrode
IIR	Filter mit unendlicher Impulsantwort
MS/s	Eine Million Abtastungen pro Sekunde
OL	Übersteuerungspegel
OS	Obersumme
OSR	Überabtastrate
PGM	Pulsgruppenmodulation
PMSM	Permanenterregte Synchronmaschine
PWM	Pulsweitenmodulation
QD	Quantendekodierung
SNDR	Signal-zu-Rausch und Verzerrungsabstand
SNR	Signal-Rausch-Abstand
THD	Gesamte harmonische Verzerrung
US	Untersumme
WOK	Wurzelortskurve

Kurzfassung

Delta-Sigma ($\Delta\Sigma$) Umsetzer sind aus der Audio-Technik für ihren hohen Signal-zu-Rausch Abstand bei Abtastraten im 10 bis 100 kHz Bereich bekannt und werden zunehmend auch in der Stromregelung von elektrischen Antrieben als Analog-Digital-Umsetzer eingesetzt. $\Delta\Sigma$ -Umsetzer bestehen aus einem Modulator und einem digitalen Tiefpassfilter. Die Auswirkungen des digitalen Filters auf die Stromregelung eines elektrischen Antriebs werden hinsichtlich der erreichbaren Bandbreite des Stromregelkreises und der Unterdrückung von Störungen in der Strommessung untersucht. In dieser Arbeit werden zwei Ansätze zur Steigerung der Bandbreite des Stromregelkreises verfolgt. Der Stromregler wird direkt in dem hochfrequenten Zeitraster (10 MHz) der $\Delta\Sigma$ -Modulatoren gerechnet, so dass auf einen digitalen Tiefpassfilter verzichtet werden kann. Dieses Vorgehen erfordert eine neuartige Signalverarbeitung, da der Ausgang des $\Delta\Sigma$ -Modulators aus einem gering quantisierten $\Delta\Sigma$ -Bitstrom mit einer Auflösung von einem Bit besteht. Die vorhandenen Ansätze zur direkten Signalverarbeitung des $\Delta\Sigma$ -Bitstroms werden verglichen und erweitert. Der zweite Ansatz zur Steigerung der Bandbreite besteht darin, die hochfrequenten $\Delta\Sigma$ -Bitströme breitbandig in PWM Signale für eine Leistungselektronik im 4 - 40 kHz Bereich umzusetzen. Das grundsätzliche Prinzip wird an einer einphasigen Last untersucht. Die im Stand der Forschung bekannte Lösung für eine dreiphasige Last weist erhebliche Nachteile auf. In dieser Arbeit wird ein Verfahren für einen hochdynamischen dreiphasigen Leistungselektronik-Modulator zur direkten Verarbeitung von $\Delta\Sigma$ -Bitströmen vorgestellt, welcher die Nachteile der bekannten Lösung aufhebt. Zusätzlich wird eine direkte Rückführung der Strom- und Spannungsmesswerte über $\Delta\Sigma$ -Bitströme realisiert. Dies ermöglicht eine hochdynamische Strom- und Spannungsregelung einer permanentenerregten Synchronmaschine.

Abstract

Delta-sigma ($\Delta\Sigma$) converters are established in communication and audio high fidelity applications due to their high signal to noise ratio and sampling frequency range of 10 to 100 kHz. In the phase current control of electrical drives, $\Delta\Sigma$ converters are more commonly used. They comprise a modulator and a digital low pass filter. The effects of the digital low pass filter on the achievable bandwidth and the suppression of disturbances of the electrical drive are analyzed in this thesis. Two measures are proposed to increase the bandwidth of the phase current control loop. The phase current controller is executed at the high frequent (10 MHz) sampling rate of the $\Delta\Sigma$ modulator so that the digital filter can be omitted. This method requires a new signal processing, since the output of the $\Delta\Sigma$ modulator, a $\Delta\Sigma$ bitstream, features only a one bit resolution. Existing solutions for this direct processing of $\Delta\Sigma$ bitstreams are compared and extended. A highly dynamic conversion of the high frequent $\Delta\Sigma$ bitstream into pulse width modulated signals for power electronics is the second method to increase the bandwidth. The high frequent sampling rate of the $\Delta\Sigma$ modulator is reduced to an average switching frequency range of 4 to 40 kHz. A single-phase load is used for a first analysis. The solution for a three-phase load in literature reveals some disadvantages. A power electronics modulator with high bandwidth, which directly processes the $\Delta\Sigma$ bitstreams without these disadvantages, is presented. In addition, a direct feedback of phase currents and voltages is achieved by $\Delta\Sigma$ bitstreams. This enables a highly dynamic phase current- and voltage control of a permanent magnet synchronous machine.

1 Einleitung

Permanenterregte Synchronmaschinen (PMSM) werden aufgrund ihrer hohen Leistungsdichte in zahlreichen Gebieten eingesetzt. Dazu zählen unter anderem die Servo-Antriebstechnik für Werkzeugmaschinen, Robotik und Verpackungsmaschinen sowie Antriebe in Kraftfahrzeugen für Lenkung und Traktion. Allen gemeinsam ist die Forderung nach höchster Genauigkeit und Dynamik. Speziell im Bereich der Kraftfahrzeuge ist ein energieeffizienter Betrieb unter optimaler Ausnutzung der Batteriespannung gefordert.

Elektrische Antriebe werden häufig in einer Kaskadenregelung bestehend aus Lage-, Drehzahl- und Stromregelung betrieben. Störungen im Stromregelkreis beeinflussen über das abgegebene Drehmoment die mechanischen Prozesse. In Werkzeugmaschinen äußern sich diese Störungen in einer schlechteren Qualität der bearbeiteten Werkstücke und in einer Lenkunterstützung im Kraftfahrzeug als haptische Störung. Eine Unterdrückung von Störungen muss daher in der Stromregelung durch eine hohe Kleinsignalbandbreite erfolgen, da die überlagerten Regelkreise einer Kaskadenregelung aufgrund ihrer begrenzten Kleinsignalbandbreite prinzipbedingt keine ausreichende Störunterdrückung bieten. Neben einer hohen Kleinsignalbandbreite ist es entscheidend, die Stromregelung im Zusammenspiel mit der Leistungselektronik, der verfügbaren digitalen Datenverarbeitungsgeschwindigkeit, der eingesetzten Modulationsart, dem Analog-Digital-Umsetzungsprinzip und der verwendeten Maschine zu betrachten. Diese Elemente der Stromregelung beeinflussen die zeitliche Ablaufsteuerung von der Messung der Ströme bis zur Ausgabe der Stellgrößen, die Art der Störungen im Stromregelkreis und die erforderliche analoge und digitale Filterung. Schlussendlich sind alle diese Aspekte entscheidend für die Genauigkeit und Dynamik der Stromregelung.

Ein wichtiges Element der Stromregelung ist die Analog-Digital-Umsetzung (ADU). In der Antriebstechnik werden vermehrt Delta Sigma ($\Delta\Sigma$)-ADUs eingesetzt. Diese sind bisher vor allem durch ihre Anwendung in der Audiotechnik aufgrund der hohen Signal-zu-Rauschabstände von 110 dB bei einer Bandbreite von 20 kHz bekannt [1]. Damit bieten sie eine bessere Auflösung als die üblicherweise in der Antriebstechnik eingesetzten ADUs. ADUs nach dem $\Delta\Sigma$ -Prinzip verfügen über einen $\Delta\Sigma$ -Modulator, der ein hochfrequentes Ausgangssignal mit geringer Quantisierung erzeugt, dessen Mittelwert dem analogen Eingangssignal folgt. Ein Tiefpassfilter bildet einen höher aufgelösten Messwert mit niedriger Ausgangsdatenrate. Regelungen, deren Istwert-Messung mit $\Delta\Sigma$ -ADUs mit digitalem Tiefpassfilter erfolgen, werden in dieser Arbeit als konventionelle Regelungen mit $\Delta\Sigma$ -ADUs bezeichnet. Die Ausgangsdatenraten für eine Stromregelung im Bereich von 4 - 40 kHz werden als niederfrequent bezeichnet. Als hochfrequent werden die Ausgangssignale des $\Delta\Sigma$ -Modulators, die $\Delta\Sigma$ -Bitströme, im 1 - 20 MHz Takt bezeichnet.

Aus der Audiotechnik ist die direkte Aufzeichnung der hochfrequenten $\Delta\Sigma$ -Bitströme als „Super Audio CD“ [2] bekannt, die einen dynamischen Bereich¹ von 120 dB bietet [3]. Der digitale Tiefpassfilter wird erst bei der Wiedergabe im Verstärker angewendet. Erste Ansätze zur direkten Bearbeitung des Bitstroms für die Anwendung in der Audiotechnik werden in [4] vorgestellt. Da der $\Delta\Sigma$ -Modulator eine Analog-Digital-Umsetzung durchführt, stellt der Bitstrom eine abgetastete Repräsentation des analogen Signals dar. Die direkte Verarbeitung dieses hochfrequenten Signals in der Stromregelung einer PMSM bietet die Chance, auf den digitalen Filter einer konventionellen Regelung zu verzichten und mit einer hochfrequenten Regelung eine hohe Kleinsignalbandbreite des Stromregelkreises zu erzielen.

¹Der dynamische Bereich kennzeichnet den maximalen Aussteuerbereich der $\Delta\Sigma$ -Modulatoren und nicht die Eigenschaft eines dynamischen Systems.

1.1 Stand der Forschung

Ein Trend in der Regelung von PMSM sind hochdynamische Stromregelungen. Durch die hohe Abtastrate von Flash-ADUs mit 10 Millionen Abtastungen pro Sekunde (MS/s) und die schnelle Berechnung des Stromreglers im Field Programmable Gate Arrays (FPGA) werden in [5] sehr hohe Kleinsignalbandbreiten erzielt. Bezüglich einer Pulsweitenmodulation (PWM) in synchroner Logik und niederfrequenter, abgetasteter Regelung stellt dies eine optimale Lösung bezüglich der Bandbreite dar. Flash-ADUs sind gegenüber $\Delta\Sigma$ -ADUs kostenintensiv und werden daher wenig in Antriebslösungen eingesetzt. Bezüglich der Stromregelung mit $\Delta\Sigma$ -ADUs existieren verschiedene Methoden zur Steigerung der Kleinsignalbandbreite. Es werden modellbasierte Ansätze wie der Smith-Prädiktor [6, 7] und der Strombeobachter [7] verwendet, die allerdings auf genaue Modelle und eine gute Kompensation von Umrichter-Nichtlinearitäten angewiesen sind. Die Filterung desselben $\Delta\Sigma$ -Bitstroms mit Tiefpassfiltern unterschiedlicher Grenzfrequenzen zur geeigneten Nutzung in einem zwei-kanaligen PI-Stromregler wird in [8] beschrieben. In [9] wird ein schneller FPGA-Stromregler genutzt, um einen höheren Regeltakt als die PWM-Frequenz zu erzielen. Da die PWM nur zu zwei Zeitpunkten pro Periode aktualisiert werden kann, muss eine größere Steigung der gestellten Spannung als die Steigung des Trägersignals vermieden werden. Dies führt zu einer Ratenbegrenzung des Reglers, die eine Reglerverstärkung abhängig vom Modulationsgrad erfordert. Ein hybrider Stromregler [10] kombiniert einen linearen PI-Regler und einen nichtlinearen Hysterese-Regler. Die $\Delta\Sigma$ -Bitströme werden allerdings nicht direkt genutzt, sondern den Reglern über digitale Tiefpassfilter zugeführt. Es wird zwar auf eine Dezimierung innerhalb der digitalen Filter verzichtet, die Impulsantwort hat dennoch dynamischen Einfluss auf den geschlossenen Kreis. Eine Kombination aus Stromregelung und Pulsweitenmodulator wird in [11] beschrieben. Hochfrequent-abtastende ADUs messen den Stromanstieg und die Stromregelung prädiziert daraus den folgenden Schaltvektor. Das Verfahren identifiziert die benötigten Maschinenparameter aus der Messung

des Stromanstiegs. Die minimale Pulsdauer der Schaltvektoren ist allerdings durch die Abtastrate des ADUs beschränkt. Eine Abtastrate von 1,5 MS/s in [11] verursacht eine deutlich größere Zeitquantisierung als bei vergleichbaren konventionellen PWM-Modulen, die beispielsweise mit 100 MHz getaktet werden. Des Weiteren bietet das Verfahren keine direkte Kompensation der Umrichter-Nichtlinearitäten.

Analytische Berechnungen der Kleinsignalbandbreite von Stromregelkreisen sind in [5] durch eine zeitdiskrete Berechnung von Regler und Strecke und in [12] durch eine Zusammenfassung aller Verzögerungen in einer Ersatzzeitkonstante und anschließender kontinuierlicher Betrachtung durchgeführt.

Die Messung des Phasenstroms wird von mehreren Störungen überlagert. Das Modulationsverfahren wie zum Beispiel eine Raumzeigermodulation erzeugt Harmonische, die eine Abtastung des Stroms im Symmetriepunkt erfordern [5, 13]. Für eine konventionelle Stromregelung mit $\Delta\Sigma$ -ADUs bei Verwendung von Raumzeigermodulation gilt, dass der digitale Tiefpassfilter entweder symmetrisch um den PWM-Symmetriepunkt ausgerichtet sein muss oder sich über eine halbe oder ganze PWM-Periode erstrecken muss [13, 14]. Weitere Störungen sind abhängig von dem Pulsmuster der PWM. Kapazitive Wicklungsströme [15] und hochfrequente Ströme [16] als Folge von Leitungsreflexion und parasitärer Eigenschaften des Antriebssystems werden durch die Schaltflanken angeregt. Da die zeitliche Lage der Schaltflanken relativ zu den Symmetriepunkten im Betrieb variiert, stellt die Unterdrückung dieser Störungen eine besondere Herausforderung dar. Nach [17] stellen Wirbelströme eine weitere Quelle für Störungen dar, die Rahmen dieser Arbeit jedoch vernachlässigt werden. Die Fehlspannung [5, 18, 19] des Frequenzumrichters und die Quantisierung von Strom und Spannung [20] sind weitere Einflüsse auf die Präzision der Stromregelung.

1.1.1 Digitale Tiefpassfilter

Die konventionelle Stromregelung mit $\Delta\Sigma$ -ADUs erfordert digitale Tiefpassfilter. Häufig werden Sinc-Filter [21] eingesetzt, da sie einen guten

Kompromiss zwischen Störunterdrückung und Implementierungsaufwand darstellen. Es existieren auch weitere Ausprägungen als Filter mit unendlicher Impulsantwort (IIR) [9], Filter mit endlicher Impulsantwort (FIR) und nichtlinearer Filter [22, 23]. Die Auslegung der Filter erfolgt oft unter nachrichtentechnischen Gesichtspunkten wie linearer Phase, während für den Einsatz zur Stromregelung Aspekte wie Filterlaufzeit und Implementierungsaufwand stärker zu gewichten sind [9].

1.1.2 Delta Sigma Signalverarbeitung

Die beschriebenen hochdynamischen Stromregelungen verwenden entweder schnelle und kostenintensive ADUs oder modellbasierte Ansätze, um die Kleinsignalbandbreite zu steigern. Alle vorgestellten Lösungen verwenden eine PWM mit einem Trägersignal fester Frequenz. Teilweise werden bereits Stromregler mit einer höheren Frequenz als die PWM-Frequenz ausgeführt. Die starre synchrone Logik der PWM und die zeitliche Ablaufsteuerung verhindern allerdings einen großen Gewinn an Kleinsignalbandbreite.

Eine weitere Steigerung der Dynamik ist speziell im Falle von Stromregelungen mit $\Delta\Sigma$ -ADUs erst durch den Übergang von niederfrequent abgetasteten Regelsystemen zu hochfrequenter Signalverarbeitung zu erwarten. Dazu muss auf den digitalen Tiefpassfilter verzichtet werden und die Regler-Algorithmen müssen direkt im Takt des Bitstroms ausgeführt werden. Beispiele für Rechen-Operationen auf Signalen geringer Quantisierung sind das Inkrement-Rechensystem [24] und die bitserielle Verarbeitung [25]. Beide sind für die direkte Verarbeitung des $\Delta\Sigma$ -Bitstroms ungeeignet, da das Inkrement-Rechensystem Frequenz-Spannungs-Umsetzer erfordert und der $\Delta\Sigma$ -Bitstrom nicht den Anforderungen eines bitseriellen Signals genügt. Die ersten Verfahren zur direkten Verarbeitung der $\Delta\Sigma$ -Bitströme, in dieser Arbeit Delta-Sigma-Signal-Verarbeitung (DSSV) genannt, entstanden in den 80er Jahren [26, 27] auf Basis des Delta-Addierers. Eine Erweiterung des Delta-Addierers ermöglicht die Verarbeitung von ternären [28] und quaternären $\Delta\Sigma$ -Bitströmen [29]. Für die Audio-Technik werden typische

Anwendungen auf Basis des Delta-Addierers und die Umsetzung von IIR-Filtern mit einem internen $\Delta\Sigma$ -Modulator gezeigt [4]. Weitere Beispiele für FIR- und IIR-Filter sind in [30, 31] zu finden. Eine Einführung einer allgemeinen Multibit-Zwischenebene und eines abschließenden internen $\Delta\Sigma$ -Modulators wird in [32] vorgeschlagen. Ein anderer Ansatz besteht in dem Zusammenfügen von zwei $\Delta\Sigma$ -Bitströmen in einem Zeitraster mit der doppelten Abtastrate [33]. Für eine Verarbeitung von mehreren Signalen steigt dabei jedoch die Abtastrate des Zwischen-Zeitrasters. Eine Verwendung von speziellen stochastischen Bitströmen als weiterer Ansatz ermöglicht eine einfachere Umsetzung der Operationen. Es sind allerdings Analog-Digital-Umsetzer mit bestimmten stochastischen Eigenschaften [34] nötig. Der Einsatz von DSSV-Operationen in Regelkreisen folgt ca. 20 Jahre später [35–37] und wird in [35, 38, 39] speziell für die Regelung von Gleichstrommaschinen untersucht. Weitere Verfahren wie Sortiernetzwerke [40] oder der 1-Bit Coordinate Rotation Digital Computer (CORDIC) Algorithmus [41] ermöglichen bereits die Umsetzung von nichtlinearen Funktionen wie Sinus oder Wurzel, weisen allerdings auch im Vergleich zu sonstigen DSSV-Operationen erhebliche Laufzeiten auf.

Die Möglichkeit, $\Delta\Sigma$ -Bitströme direkt zu verarbeiten, schafft einen Hybrid zwischen analoger und digitaler Signalverarbeitung [42]. Ein quasi-analoges Verhalten wird durch die hochfrequente Abtastrate der $\Delta\Sigma$ -Modulatoren erreicht. Allerdings zeigen sich die analogen Eigenschaften auch dadurch, dass jede DSSV-Operation weiteres Rauschen additiv einführt. Da die DSSV-Operationen digitale Signale verarbeiten, entstehen keine Fehler durch Drift oder Parametervariation wie sie bei analoger Signalverarbeitung häufig auftreten. Die Vorteile der DSSV-Operationen in einem Regelkreis ergeben sich aus einer praktisch abstastfreien Regelung. Zudem ist eine Synchronisation von Datenworten unterschiedlicher Taktrate auf Bitstromebene deutlich einfacher und robuster als mit üblichen, parallelen Datenworten in einem niederfrequenten Regeltakt. Dazu sind Halteglieder vor den $\Delta\Sigma$ -Modulatoren, die Datenworte unterschiedlicher Taktraten verarbeiten, notwendig. Mit $\Delta\Sigma$ -Modulatoren können beliebige Signale, ob analog oder digi-

tal auf ein gemeinsames hochfrequentes Zeitraster gehoben und dort quasi-kontinuierlich verarbeitet werden.

1.1.3 Breitbandiger Leistungselektronik-Modulator

Um die Vorteile dieser quasi-kontinuierlichen Regelung nutzen zu können, muss die Stellgröße eines DSSV-Reglers mit hoher Bandbreite an der Leistungselektronik zur Wirkung gebracht werden. Ein erster Ansatz für einen solchen Modulator ist ein gewöhnlicher Raumzeigermodulator mit einer digitalen Tiefpassfilterung der Eingangsbitströme. Durch die zusätzliche Phasenverzögerung der Filterung wird die Kleinsignalbandbreite allerdings erheblich reduziert.

Eine ideale Lösung bezüglich der Kleinsignalbandbreite ist die direkte Aufschaltung der hochfrequenten Bitströme auf die Leistungselektronik [43]. Das resultierende Schaltverhalten wird durch die Eigenschaften des internen $\Delta\Sigma$ -Modulators der DSSV-Operation bestimmt. Der Ausgang kann als Pulsdichtemodulation mit variabler Schaltfrequenz aufgefasst werden und setzt sich vereinfacht aus dem Eingangssignal und dem Quantisierungsrauschen zusammen. Da die meisten Strecken ein Tiefpassverhalten aufweisen, wird das Quantisierungsrauschen zum großen Teil bedämpft. Die benötigte Ordnung des $\Delta\Sigma$ -Modulators und die Dämpfung von elektrischen Antrieben bei hohen Frequenzen wird in [44, 45] diskutiert. Aus einer Untersuchung der Stabilität anhand der Ljapunov-Funktion folgt eine obere und untere Schranke für die Verstärkung der Rückführung des $\Delta\Sigma$ -Modulators bei einer vorgegebenen Abtastrate f_s [46]. Dies gilt für Regelkreise, in denen das Regelgesetz mit DSSV umgesetzt wird und ein $\Delta\Sigma$ -Bitstrom zur Ansteuerung der Leistungselektronik verwendet wird. Ein $\Delta\Sigma$ -Modulator als Ersatz für eine PWM mit fester Frequenz in einphasigen Schaltnetzteilen wird in [47] vorgestellt.

Ein vektorieller $\Delta\Sigma$ -Modulator für dreiphasige Systeme wird durch einen hexagonalen Quantisierer [48, 49] erreicht. Ein Vergleich zwischen diesem hexagonalen $\Delta\Sigma$ -Modulator und einem Raumzeigermodulator zeigt ähnliche Leistungen bezüglich Verzerrungen (THD) und Schaltver-

lusten [50]. Eine mathematische Analyse wird in [51, 52] durchgeführt. Der in diesen Lösungen verwendete $\Delta\Sigma$ -Modulator wird üblicherweise mit der gleichen niederfrequenten Abtastrate wie die maximale mittlere Schaltfrequenz der Leistungselektronik betrieben. Eine DSSV mit dieser geringen Abtastrate ist nicht leistungsfähig genug. Nur mit hochfrequent schaltender Leistungselektronik auf Basis von Galliumnitrid [53] sind $\Delta\Sigma$ -Modulator-Abtastraten und entsprechende Schaltfrequenzen im Bereich der angestrebten DSSV-Frequenzen von 10 MHz möglich.

Die Schaltfrequenz für die meisten elektrischen Antriebe bewegt sich jedoch im 4 - 40 kHz Bereich. Ein Ansatz zur Reduzierung der mittleren Schaltfrequenz unter Beibehaltung der hohen Abtastrate der DSSV-Bitströme ist die Einführung von Hysterese im Quantisierer eines $\Delta\Sigma$ -Modulators. Dies ist bereits in der einphasigen Audio-Leistungselektronik als Klasse-D Verstärker [54] oder als Gleichspannungswandler [55] bekannt. Ein dreiphasiger Hysterese-Modulator wird in [56, 57] vorgestellt. Dieser ermöglicht eine hochdynamische Ankopplung der DSSV-Bitströme an die Leistungselektronik, weist allerdings einige Nachteile auf. Die mittleren Schaltfrequenzen sind bezüglich der drei Phasen asymmetrisch. Dies resultiert in einer unterschiedlichen thermischen Belastung der Leistungshalbleiter. Der verwendete Zustandsautomat verursacht in einigen Fällen sehr kurze Einschaltzeiten, die einen höheren Klirrfaktor der Ströme zur Folge haben. Nullvektoren werden so eingesetzt, dass immer nur eine Phase bei einem Vektorwechsel geschaltet wird. Trotzdem kann das Verfahren keine echte Raumzeigermodulation im Sinne einer abwechselnden Nutzung der beiden Nullvektoren bieten. Nach dem Übergang in einen aktiven Vektor ist die Information über den letzten Nullvektor verloren. Zudem steigt die mittlere Schaltfrequenz bei Übermodulation drastisch an. Im Sinne einer guten Spannungsausnutzung und eines effizienten Betriebs des Umrichters wäre in diesem Betriebsbereich eher ein Absinken der mittleren Schaltfrequenz sinnvoll.

Die variable, verrauschte Schaltfrequenz des $\Delta\Sigma$ -Modulators bietet die Chance, elektrische Antriebe mit einer niedrigeren mittleren Schaltfrequenz zu betreiben, da eine verrauschte Schaltfrequenz im Gegensatz zu

einer festen Schaltfrequenz von Menschen typischerweise als akustisch angenehmer wahrgenommen wird. Dies wird in [58] genauer anhand von elektrischen Antrieben in Schienenfahrzeugen untersucht. Auch beim Entwurf von Maschinen existieren Ansätze zur Vermeidung von festen Frequenzen in der Geräuschemission durch eine ungleichmäßige Verteilung der Nuten des Ständers [59].

1.2 Zielsetzung der Arbeit

Der Stand der Forschung zeigt großes Potential in dem komplexen Zusammenspiel der zeitlichen Ablaufsteuerung der Stromregelung mit der PWM und Analog-Digital-Umsetzung.

Das Ziel der Arbeit besteht darin, mit neuartigen Ansätzen wie der DSSV und einer breitbandigen Leistungselektronik-Modulation eine hochdynamische Strom- und Spannungsregelung einer PMSM auf Basis der $\Delta\Sigma$ -Bitströme zu erzielen. Die Grenzen der konventionellen Stromregelung mit $\Delta\Sigma$ -ADUs mit digitalem Filter und PWM mit synchroner Logik sollen dabei überschritten werden.

2 Delta-Sigma Analog-Digital-Umsetzer

Die Klasse der überabtastenden ADUs wird zunehmend in der elektrischen Antriebstechnik verwendet. Im Gegensatz zu abtastenden ADUs liegt die Abtastfrequenz von überabtastenden ADUs deutlich höher als die Bandbreite des analogen Eingangssignals. Die Abtastfrequenz $f_{s,abt}$ von abtastenden ADUs muss mindestens das Abtasttheorem

$$f_{s,abt} > 2 \cdot f_b \quad (2.1)$$

erfüllen, wobei f_b die Bandbreite des analogen Eingangssignals ist. Die gesamte Rauschleistung der Quantisierung liegt bei abtastenden ADUs im Nutzfrequenzband. Durch eine deutlich höherfrequente Abtastung, als nach Abtasttheorem notwendig, wird das Quantisierungsrauschen über ein größeres Frequenzband verteilt und der Anteil der Rauschleistung im Nutzfrequenzband wird geringer [60]. Das Maß der Überabtastung wird durch die Überabtastrate (auf englisch *oversampling ratio* - OSR) definiert [60].

$$OSR = \frac{f_s}{2 \cdot f_b} \quad (2.2)$$

Die Überabtastung ermöglicht eine deutlich vereinfachte Auslegung des analogen Abtastfilters und eine höhere effektive Auflösung durch anschließende Tiefpassfilterung. Zur Klasse der überabtastenden ADUs gehören Verfahren nach dem $\Delta\Sigma$ und Delta (Δ) Prinzip. Beide ADUs bestehen aus einem Modulator und einem digitalen Filter.

2.1 Delta-Analog-Digital-Umsetzer

Der Δ -ADU wurde vor dem $\Delta\Sigma$ -ADU im Jahre 1946 erfunden [28]. Abbildung 2.1 zeigt das zugehörige Grundprinzip. Ein Modulator mit einem hochfrequent getakteten Quantisierer mit der Abtastfrequenz f_s erzeugt einen Bitstrom, der von einem digitalen Filter in ein n -bit Datenwort mit der dezimierten Frequenz f_d umgewandelt wird.

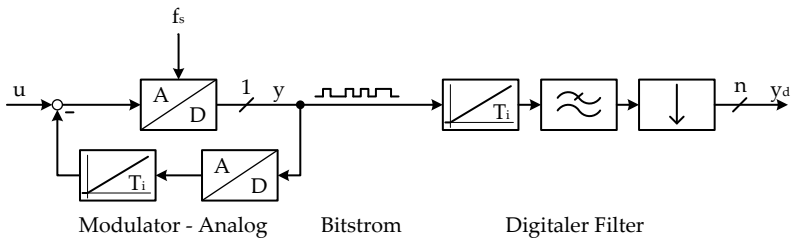


Abb. 2.1: Grundprinzip Delta-ADU, nach [28]

Der Quantisierungsvorgang im Modulator stellt einen nichtlinearen Vorgang dar und verhindert daher die Beschreibung des Regelkreises mit den Methoden der linearen Regelungstechnik. Zur linearen Beschreibung des Regelkreises hat sich eine Vereinfachung des Quantisierers durch eine additive weiße Rauschquelle d_q und einen effektiven Verstärkungsfaktor k_q durchgesetzt [60–63]. Dieses vereinfachte Modell ermöglicht eine Beschreibung der wesentlichen Effekte von Δ und $\Delta\Sigma$ -Modulatoren. In dieser Arbeit werden ausschließlich Modulatoren mit 1-Bit Quantisierern betrachtet, in der Literatur sind auch Multi-Bit Quantisierer beschrieben [60]. Für Multi-Bit Quantisierer gilt, dass der effektive Verstärkungsfaktor k_q gleich 1 [61] ist. Zur Vereinfachung wird dieser Ansatz zunächst auch bei 1-Bit Quantisierern angenommen. In Kapitel 2.2.3 erfolgt eine genauere Behandlung von k_q für 1-Bit Quantisierer. Abbildung 2.2 zeigt das lineare Modell. Durch die Taktung des Quantisierers bietet sich ein zeitdiskretes Modell des Modulators an.

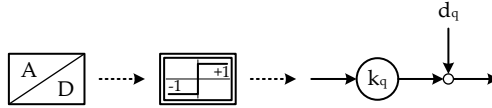
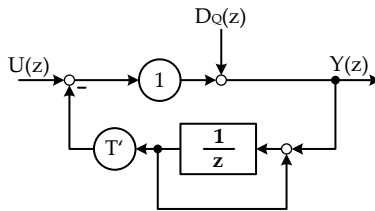


Abb. 2.2: Vereinfachung Quantisierer, nach [61]

Der Integrator wird über die Untersumme in den zeitdiskreten Frequenzbereich mit der Verstärkung T' transformiert.

$$T' = \frac{T_s}{T_i} \quad (2.3)$$

Eine Transformation nach der Obersumme oder der Trapezregel ist ebenfalls möglich, diese ergibt allerdings ein anderes dynamisches Verhalten. In Kapitel 2.2.1 wird der Unterschied zwischen der Unter- und der Obersumme an einem Beispiel demonstriert. Der Digital-Analog-Umsetzer (DAU) stellt eine Umschaltung zwischen positiver und negativer Referenz dar und wird daher als Einheitsverstärkung dargestellt. Abbildung 2.3 stellt das lineare, zeitdiskrete Modell des Δ -Modulators dar.

Abb. 2.3: Lineares, zeitdiskretes Modell eines Δ -Modulators

Für $T' = 1$ gilt folgende Differenzengleichung [60]:

$$y(\nu) = u(\nu) - u(\nu - 1) + d_q(\nu) - d_q(\nu - 1). \quad (2.4)$$

Der Bitstrom am Ausgang setzt sich demnach aus der Differenzbildung des Eingangssignals als auch des Quantisierungsfehlers zusammen. Daher stammt die Bezeichnung Δ -Modulator. Anschaulich entsteht

eine Schätzung des Eingangssignals im Integrator der Rückführung. Das Vorzeichen des Regelfehlers, die Differenz zwischen Eingang und geschätztem Eingang, bildet den Bitstromausgang. Der digitale Filter weist einen Integrator auf, um die Differenzierung des Modulators aufzuheben. Ein Tiefpassfilter bedämpft das Quantisierungsrauschen und ein Dezimierer entfernt die, durch die Überabtastung entstandenen, redundanten Datenworte. Die Differenzierung des Eingangs wird am Beispiel des Bitstroms einer sinusförmigen Eingangsgröße in Abbildung 2.4 verdeutlicht.

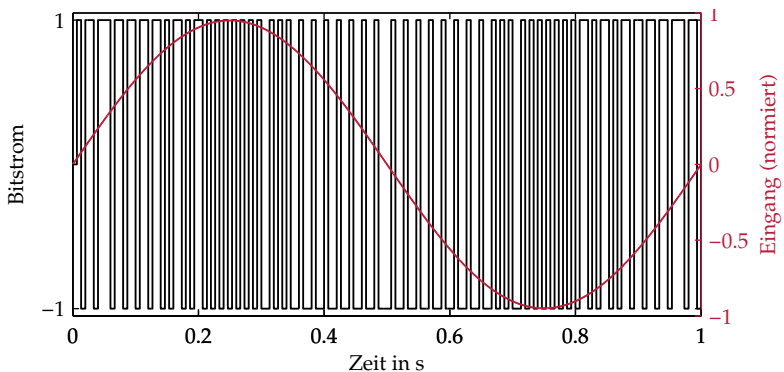


Abb. 2.4: Beispiel für den Bitstrom eines Δ -Modulators

In Bereichen geringer Steigung entsteht ein Tastverhältnis von 50% zwischen 1 und -1 und führt auf diese Weise sowohl im Integrator des digitalen Filters als auch im Integrator des Δ -Modulators zu einem konstanten Wert. In Bereichen großer Steigung entsteht ein asymmetrisches Tastverhältnis im Bitstrom, das zu Veränderungen in beiden Integratoren führt.

Der Δ -ADU bietet durch die Überabtastung bereits Vorteile gegenüber abtastenden ADUs, weist allerdings auch Nachteile auf. Der Integrator im digitalen Filter verstärkt Rauschen und Offsets, die durch die Übertragung des Bitstroms entstehen können [60]. Die Verstärkung des Integrators T' muss an die maximale Steigung des Eingangssignals angepasst werden [28], um ein wohldefiniertes Nachführen des Integrator-

nearen Beschreibung werden die gleichen Vereinfachungen wie in Kapitel 2.1 angenommen. Die Verstärkung des Integrators T' wird zur Vereinfachung zu 1 gewählt, andere Verstärkungen werden in Kapitel 2.2.3 untersucht. Es ergibt sich der lineare Regelkreis in Abbildung 2.7 mit einem Integrator nach der Untersumme.

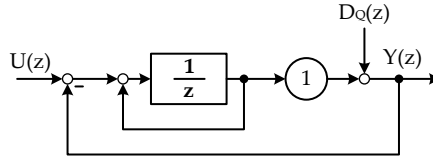


Abb. 2.7: Lineares, zeitdiskretes Modell eines $\Delta\Sigma$ -Modulators

Die Differenzengleichung des Bitstromausgangs $y(\nu)$ als Linearkombination der Eingangsgröße $u(\nu)$ und dem Quantisierungsfehler $d_q(\nu)$ ergibt nach [60]

$$y(\nu) = u(\nu - 1) + d_q(\nu) - d_q(\nu - 1). \quad (2.5)$$

Der Unterschied zur Differenzengleichung des Δ -Modulators in Gleichung (2.4) besteht darin, dass das Eingangssignal lediglich um einen Takt verzögert und nicht wie beim Δ -Modulator differenziert wird. Damit entfällt ein Integrator im digitalen Filter und die in Kapitel 2.1 genannten Nachteile werden aufgehoben.

Zur Untersuchung der Abbildung des analogen Eingangssignals auf den Bitstrom wird die Differenzengleichung (2.5) des $\Delta\Sigma$ -Modulators als Teleskopsumme über N Takte geschrieben [60]. Die Ausgangsgröße $y(\nu)$ muss dazu beschränkt sein, daher wird die Stabilität des Regelkreises vorausgesetzt.

$$\sum_{\nu=1}^N y(\nu) = \sum_{\nu=1}^N u(\nu - 1) + d_q(N) - d_q(0) \quad (2.6)$$

Eine Mittelwertbildung über unendlich viele Takte [60] liefert Gleichung (2.7).

$$\lim_{N \rightarrow \infty} \frac{1}{N} \sum_{\nu=1}^N y(\nu) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{\nu=1}^N u(\nu-1) + \lim_{N \rightarrow \infty} \frac{d_q(N) - d_q(0)}{N} \quad (2.7)$$

Die Wahrscheinlichkeitsdichte des Quantisierungsfehlers ist beschränkt [61], daher lässt sich mit

$$\lim_{N \rightarrow \infty} \frac{d_q(N) - d_q(0)}{N} = 0 \quad (2.8)$$

Gleichung (2.7) zu Gleichung (2.9) vereinfachen [60].

$$\overline{y(\nu)} = \overline{u(\nu)} \quad (2.9)$$

Für ein konstantes Eingangssignal eines idealen $\Delta\Sigma$ -Modulators stellt eine unendliche lange Mittlung des Bitstroms genau den Mittelwert des Eingangssignals dar. Der Bitstrom eines $\Delta\Sigma$ -Modulators besitzt dementsprechend keinen aussagekräftigen Augenblickswert wie das Datenwort eines abtastenden ADUs, sondern es bedarf immer einer Mittelwertbildung über mehrere Bits. In Abbildung 2.8 wird das Wirkungsprinzip eines $\Delta\Sigma$ -Modulators verdeutlicht.

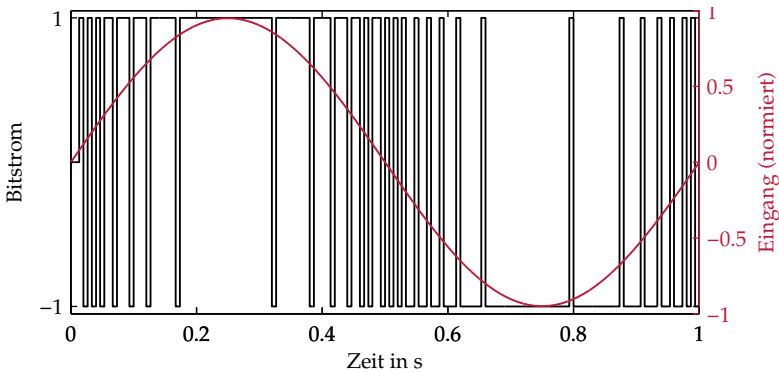


Abb. 2.8: Beispiel für den Bitstrom eines $\Delta\Sigma$ -Modulators

Bei einem normierten Eingangssignal von nahe 0, wird ein Tastverhältnis von 50% moduliert, während bei Eingangssignalen nahe der positiven oder negativen Referenz der Bitstrom vornehmlich Einsen bzw. Nullen¹ enthält. Der Bitstrom des $\Delta\Sigma$ -Modulators ist eine Form der Pulsdichtemodulation [62]. Ein einfacher digitaler Filter ist dementsprechend ein Mittelwertbildner [60], welcher das Verhältnis von Nullen und Einsen bildet und damit Gleichung (2.9) erfüllt.

2.2.1 Rauschverformung

Die Differenzierung des Quantisierungsfehlers ist sowohl in Gleichung (2.5) als auch in Gleichung (2.4) vorhanden und stellt eine Kerneigenschaft der $\Delta\Sigma$ -Modulatoren und Δ -Modulatoren dar. Ausgehend von dem linearisierten, zeitdiskreten Modell des $\Delta\Sigma$ -Modulators in Abbildung 2.7 lassen sich die Führungs- und Störübertragungsfunktionen $G_{uz}(z)$ und $G_{dz}(z)$ im Frequenzbereich aufstellen.

$$G_{uz}(z) = \left. \frac{Y(z)}{U(z)} \right|_{D_Q(z)=0} = z^{-1} \quad (2.10)$$

$$G_{dz}(z) = \left. \frac{Y(z)}{D_Q(z)} \right|_{U(z)=0} = \frac{z-1}{z} = 1 - z^{-1} \quad (2.11)$$

Die Führungsübertragungsfunktion $G_{uz}(z)$ zeigt entsprechend der Differenzengleichung (2.5) eine Verzögerung des Sollwertes um einen Takt. Die Störübertragungsfunktion in Gleichung (2.11) zeigt ein Hochpassverhalten. Die Rauschleistungsdichte $S_q(f)$ des Quantisierers [65]

$$S_q(f) = \frac{U_{LSB}^2}{6f_s} \quad (2.12)$$

mit N als Bitbreite und

$$U_{LSB} = \frac{U_{max} - U_{min}}{2^N} \quad (2.13)$$

¹Hier kodiert als -1

erfährt durch $G_{dz}(z)$ eine Gewichtung im Frequenzbereich. Um dieses im kontinuierlichen Frequenzbereich zu quantifizieren, wird die Störübertragungsfunktion mit $z = e^{j\omega T_s}$ transformiert [65].

$$G_d(j\omega) = 1 - e^{-j\omega T_s} \quad (2.14)$$

$$G_d(2\pi f) = 1 - e^{-j2\pi f T_s} \quad (2.15)$$

Die Rauschleistungsdichte des Quantisierers wird durch $G_d(2\pi f)$ folgendermaßen gewichtet [65]:

$$S_q(f)' = |G_d(2\pi f)|^2 \cdot S_q(f) \quad (2.16)$$

mit

$$|G_d(2\pi f)|^2 = 2 - 2 \cos \left(\frac{2\pi f}{f_s} \right). \quad (2.17)$$

In Abbildung 2.9 ist der Zusammenhang aus Gleichung (2.17) dargestellt. Die Gewichtung der Rauschleistungsdichte wird als Rauschverformung (auf englisch *noise shaping*) bezeichnet. Das Quantisierungsrauschen wird von tiefen zu hohen Frequenzen verschoben und der Anteil des Quantisierungsrauschens im Nutzfrequenzband wird geringer. Durch die hohe Überabtastung des $\Delta\Sigma$ -Modulators ist eine anschließende Tiefpassfilterung möglich. Eine ideale Tiefpassfilterung, wie in Abbildung 2.9 durch die gestrichelte Linie angedeutet, unterdrückt das Quantisierungsrauschen im Stoppband komplett. Das verbleibende Quantisierungsrauschen im Passband, dargestellt durch die gefärbte Fläche, definiert den Signal-zu-Rausch-Abstand (SNR) des $\Delta\Sigma$ -ADUs. Die gewählte Überabtastrate bestimmt die Grenzfrequenz des idealen Tiefpassfilters und damit auch den SNR des $\Delta\Sigma$ -ADUs.

$$f_g = \frac{f_s}{2 \cdot \text{OSR}} \quad (2.18)$$

Die Kombination aus Überabtastung und Rauschverformung ermöglicht trotz einer äußerst geringen Quantisierung die hohe effektive Auflösung von $\Delta\Sigma$ -ADUs.

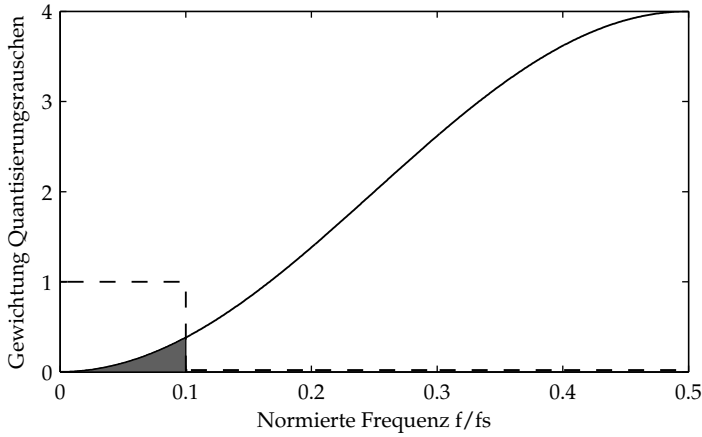


Abb. 2.9: Gewichtung der Rauschleistungsdichte

Die Taktfrequenz der $\Delta\Sigma$ -Modulatoren begrenzt die maximale Überabtastung bei konstanter Signalbandbreite f_b und stellt meist eine technologische Beschränkung in der Anwendung dar. Eine Verbesserung der Rauschverformung eröffnet jedoch weitere SNR-Steigerungen. Eine optimale Auslegung von Führungs- und Störübertragungsfunktion wäre ein idealer Tiefpass- bzw. Hochpassfilter [61].

$$G_{d,opt} = \begin{cases} 0, & f \leq f_g \\ 1, & f > f_g \end{cases} \quad (2.19)$$

Diese optimalen Übertragungsfunktionen sind physikalisch nicht realisierbar. Eine Kaskadierung von $\Delta\Sigma$ -Modulatoren ermöglicht allerdings eine Rauschverformung, die eine bessere Annäherung an das ideale Hochpass-Verhalten bietet. Abbildung 2.10 zeigt das lineare, zeitdiskrete Modell eines $\Delta\Sigma$ -Modulators zweiter Ordnung mit Integratoren nach der Untersumme. Modulatoren höherer Ordnung entstehen durch weitere Kaskadierung [61].

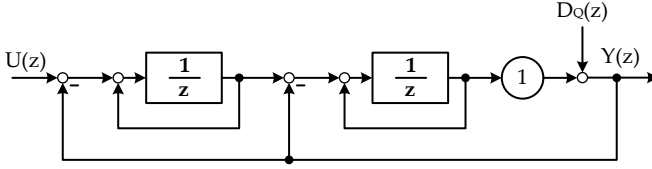


Abb. 2.10: Modell eines $\Delta\Sigma$ -Modulators zweiter Ordnung mit Integratoren nach der Untersumme

Die Führungsübertragungsfunktion ist in Gleichung (2.20) gegeben.

$$G_{uz}(z) = \left. \frac{Y(z)}{U(z)} \right|_{D_Q(z)=0} = \frac{1}{z^2 - z + 1} \quad (2.20)$$

Die Pole von $G_{uz}(z)$

$$z_{1,2} = \frac{1}{2} \pm j \frac{\sqrt{3}}{2} \quad (2.21)$$

liegen auf dem Einheitskreis, wodurch der Modulator grenzstabil ist. Für einen stabilen Betrieb dieses $\Delta\Sigma$ -Modulators zweiter Ordnung ist eine Skalierung der Zustandsgrößen notwendig. Dieser Aspekt wird in Kapitel 2.2.3 genauer untersucht. Zur Verdeutlichung der Rauschverformung wird eine Transformation der Integratoren nach der Obersumme verwendet. Abbildung 2.11 zeigt die modifizierte Struktur [60] mit der folgenden Führungs- und Störübertragungsfunktion:

$$G_{uz}(z) = \left. \frac{Y(z)}{U(z)} \right|_{D_Q(z)=0} = 1 \quad (2.22)$$

$$G_{dz}(z) = \left. \frac{Y(z)}{D_Q(z)} \right|_{U(z)=0} = (1 - z^{-1})^2. \quad (2.23)$$

Die Gleichungen (2.22) und (2.23) beschreiben eine ideale Führungsüber-

tig ist, bei einer Steigerung der Modulator-Ordnung auch die Stabilität zu untersuchen. Durch geeignete Parameter sind in der Praxis Modulator-Ordnungen von 5 erreichbar [60].

2.2.2 Implementierung

$\Delta\Sigma$ -Modulatoren werden entweder analog oder digital implementiert, wobei die digitale Variante die Umsetzung der Differenzengleichung eines $\Delta\Sigma$ -Modulators mit einer Hardwarebeschreibungssprache in einer programmierbaren Logik, zum Beispiel FPGAs, bedeutet. Analoge $\Delta\Sigma$ -Modulatoren sind durch analoge Eingangsgrößen gekennzeichnet, während digitale $\Delta\Sigma$ -Modulator digitale Datenwörter als Eingangssignal verarbeiten.

Anfangs erfolgte die analoge Umsetzung von $\Delta\Sigma$ -Modulatoren zeitkontinuierlich (auf englisch *continuous time*) [60], wie in Abbildung 2.13 als $\Delta\Sigma$ -Modulator mit differentiellem Eingang skizziert.

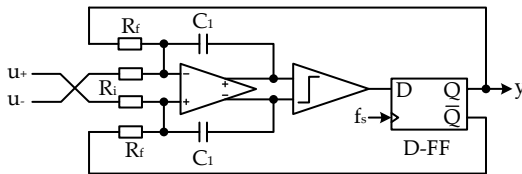


Abb. 2.13: Zeitkontinuierliche Umsetzung eines $\Delta\Sigma$ -Modulators, nach [60]

Der 1-Bit Quantisierer aus Abbildung 2.6 ist als Komparator mit D-Flipflop umgesetzt. Der differentielle Operationsverstärker mit Eingangsbeschaltung übernimmt die Funktion des DAUs, der Summierstelle und der Integration.

Mit dem Aufkommen von switched-capacitor Schaltungen entstand die zeitdiskrete Umsetzung (auf englisch *discrete time*), beispielhaft in Abbildung 2.14 skizziert. Switched-capacitor Schaltungen ermöglichen die präzise Realisierung von ohmschen Widerständen mit Hilfe von geschalteten Kapazitäten [67]. Die Schaltung ist in zwei Phasen getaktet, symbolisiert durch Schalter 1 und 2. In Phase 1 wird der Kondensator C_1 auf

die Spannung des Eingangs u aufgeladen und in Phase 2 wird die Differenz aus Eingang und geschalteter Referenzspannung auf den integrierenden Operationsverstärker geschaltet. Die Verschaltung der Referenzspannung wird durch den Ausgang des Komparators bestimmt.

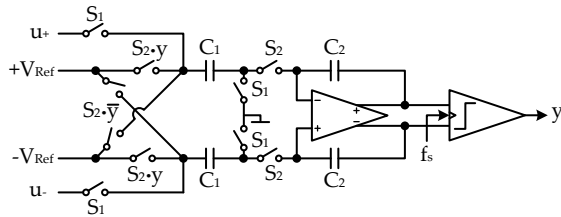


Abb. 2.14: Zeitdiskrete Umsetzung eines $\Delta\Sigma$ -Modulators, nach [60]

Zeitdiskrete $\Delta\Sigma$ -Modulatoren bilden den Großteil der kommerziell erhältlichen $\Delta\Sigma$ -Modulatoren, während zeitkontinuierliche $\Delta\Sigma$ -Modulatoren eher der Forschung zuzuordnen sind. Eine Ausnahme stellt zum Beispiel [68] dar. In der Praxis [60] erreichen zeitkontinuierliche $\Delta\Sigma$ -Modulatoren eine zwei- bis vierfache Taktfrequenz, allerdings auf Kosten einer geringeren Linearität und Genauigkeit. Durch den integralen Regler in Kombination mit einer Vorzeichen (1-Bit) Quantisierung im $\Delta\Sigma$ -Modulator weisen beide Umsetzungen eine hohe Robustheit gegenüber Bauteilsschwankungen und Nichtlinearitäten der eingesetzten elektronischen Bauteile auf [60].

Digitale $\Delta\Sigma$ -Modulatoren werden z.B. als DAU eingesetzt. Ein digitales Signal wird durch den $\Delta\Sigma$ -Modulator in einen Bitstrom moduliert und mit Hilfe eines analogen Tiefpassfilters in ein analoges Signal umgesetzt. Durch die digitale Variante eines $\Delta\Sigma$ -Modulators ist im Vergleich zur analogen keine ADU des Eingangs notwendig. Statt nichtidealer Eigenschaften der elektronischen Bauteile stammen Fehler in der digitalen Variante von angenäherten Koeffizienten und von Quantisierungsrauschen durch Rundung [60]. Letztere Fehler sind besser handhabbar, da sie vorab bekannt sind und sehr gut durch Simulation abgebildet werden können. Abbildung 2.15 zeigt die digitale Umsetzung eines $\Delta\Sigma$ -Modulators erster Ordnung mit einem 16-Bit breiten, vorzeichenbehafteten Eingangssignal,

die im Wesentlichen dem linearen Modell in Abbildung 2.7 entspricht. Die Begrenzung des Integrators verhindert ein unkontrolliertes Anwachsen des Integralanteils (auf englisch *anti-windup*). Die 1-Bit Information des Ausgangs wird üblicherweise mit 0 und 1 codiert, während für einen vorzeichenbehafteten Eingang eine Umkodierung auf 1 und -1 notwendig ist.

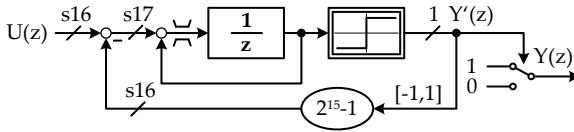


Abb. 2.15: Digitale Umsetzung eines $\Delta\Sigma$ -Modulators

2.2.3 Stabilität und Auslegung

Die vorhergehenden Untersuchungen zeigen, dass Stabilität und Auslegung der Rauschverformung genauer untersucht werden müssen. In Abbildung 2.16 ist dazu ein $\Delta\Sigma$ -Modulator in einer allgemeinen Form [60] aus Filter und Quantisierer dargestellt.

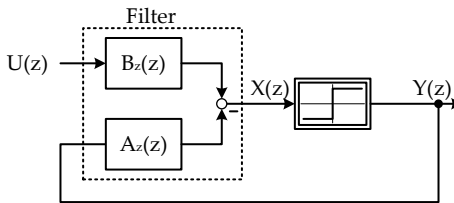


Abb. 2.16: Allgemeiner $\Delta\Sigma$ -Modulator, nach [60]

Der Filter, mit der Impuls-Übertragungsfunktion $A_z(z)$, schließt den Regelkreis. Zur weiteren Beschreibung wird der Quantisierer durch das li-

neare Modell aus Abbildung 2.2 mit $k_q = 1$ und dem additiven Quantisierungsrauschen $D_Q(z)$ angenähert. Der Ausgang lautet nach [60]

$$Y(z) = \underbrace{\frac{B_z}{1 + A_z}}_{G_{uz}} \cdot U(z) + \underbrace{\frac{1}{1 + A_z}}_{G_{dz}} \cdot D_Q(z). \quad (2.24)$$

Die geforderte Führungs- und Störübertragungsfunktion legt die Impuls-Übertragungsfunktionen $A_z(z)$ und $B_z(z)$ des Filters fest [60].

$$A_z = \frac{1 - G_{dz}}{G_{dz}} \quad (2.25)$$

$$B_z = \frac{G_{uz}}{G_{dz}} \quad (2.26)$$

Die bisherigen $\Delta\Sigma$ -Modulatoren weisen als Rauschverformung eine n-fache Differenzierung und als Signalübertragung eine k-fache Verzögerung bzw. eine Konstante auf. Für einen $\Delta\Sigma$ -Modulator n-ter Ordnung gilt [60]

$$G_{dz}(z) = (1 - z^{-1})^n = \frac{(z - 1)^n}{z^n} \quad (2.27)$$

$$G_{uz}(z) = z^{-k}. \quad (2.28)$$

Dies führt zu folgenden Impuls-Übertragungsfunktionen [60]:

$$A_z(z) = \frac{1 - (1 - z^{-1})^n}{(1 - z^{-1})^n} \quad \text{und} \quad B_z(z) = \frac{z^{-k}}{(1 - z^{-1})^n}. \quad (2.29)$$

Die n Pole von $A_z(z)$ und $B_z(z)$ liegen bei $z = 1$. Dies entspricht Integratoren, wie sie bereits in den Beispielen zuvor eingesetzt werden.

Die Störübertragungsfunktion eines idealen Differenzierers n-ter Ordnung zeigt theoretisch eine mit der Ordnung steigende Störunterdrückung im Nutzfrequenzbereich und damit auch eine SNR-Steigerung. In Abbildung 2.17 ist der entsprechende Betragsverlauf dargestellt. Nach Gleichung (2.27) liegen die n Pole des geschlossenen Kreises bei $z = 0$ und damit im Einheitskreis. Nach dem linearen Modell mit $k_q = 1$ wäre

der Regelkreis stabil. Tatsächlich weisen bereits Modulatoren zweiter Ordnung Stabilitätsprobleme auf [60].

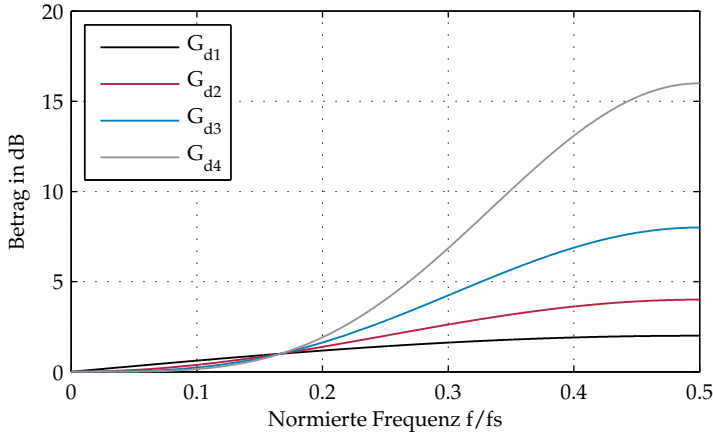


Abb. 2.17: Betrag der Störübertragungsfunktion eines reinen Differenzierers für verschiedene Ordnungen

Dies liegt an der nichtlinearen Struktur des Regelkreises. Die Verstärkung der Störungen bei hohen Frequenzen steigt drastisch mit der Ordnung des Modulators, wie in Abbildung 2.17 für die erste bis zur vierten Ordnung dargestellt. Als Folge steigen die Integratorwerte und der Quantisierer wird übersteuert [61]. Seine effektive Verstärkung sinkt und die Pole des geschlossenen Kreises wandern außerhalb des Einheitskreises [61]. Der Regelkreis wird dadurch instabil.

Als Gegenmaßnahme muss die Verstärkung der G_{dz} bei hohen Frequenzen abgesenkt werden. Als Erfahrungswert wird meist die sogenannte Lee-Regel [69] genutzt. Sie besagt, dass der maximale Betrag der Störübertragungsfunktion den Wert 2 nicht überschreiten darf.

$$\|G_d\|_{\infty} < 2 \quad (2.30)$$

Diese Regel ist allerdings weder notwendig noch hinreichend, um Stabilität zu gewährleisten. Zudem haben sich in der Praxis unterschiedliche Schranken für verschiedene Ordnungen herausgestellt [60]. Eine Anpas-

sung der Pole des Differenzierers aus Gleichung (2.27) ermöglicht eine einstellbare maximale Verstärkung bei hohen Frequenzen. Dies kann manuell oder mit entsprechenden Softwarepaketen, wie z.B. der Delta Sigma Toolbox [70] durchgeführt werden. Abbildung 2.18 zeigt ein Beispiel für die Auslegung eines $\Delta\Sigma$ -Modulators dritter Ordnung.

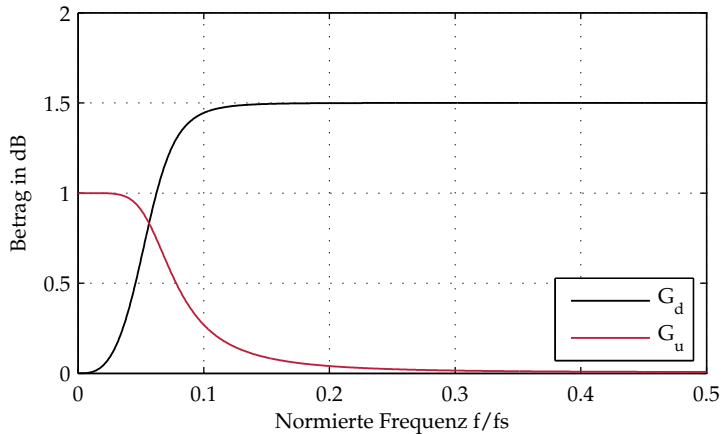


Abb. 2.18: Auslegung eines $\Delta\Sigma$ -Modulators 3. Ordnung

In der Auslegung werden die Nullstellen von G_{dz} bei $z = 1$ belassen. Die gemeinsamen Pole von G_{uz} und G_{dz} werden so gewählt, dass zum einen die maximale Verstärkung 1,5 nicht überschreitet, welches einer konservativen Auslegung entspricht und zum anderen der Betrag von G_{uz} im Passband möglichst flach ist, um das Nutzsignal nicht zu verfälschen. Mit den zusätzlich frei wählbaren Nullstellen von G_{uz} kann ein FIR-Vorfilter in den $\Delta\Sigma$ -Modulator integriert werden. Die Rauschverformung von G_{dz} kann mit optimierten komplex-konjugierten Nullstellen auf dem Einheitskreis weiter verbessert werden [60].

Die ausgelegte Störübertragungsfunktion G_{dz} kann in verschiedene $\Delta\Sigma$ -Modulator-Strukturen umgesetzt werden. Wie in Kapitel 2.2.1 gezeigt, führen z.B. Integratoren nach der Ober- und Untersumme zu verschiedenen Übertragungsfunktionen und erfordern unterschiedliche Parameter. Eine allgemeine Struktur mit Koeffizienten in der Rückführung zur

Umsetzung von G_{dz} zeigt Abbildung 2.19. Der lineare Teil ähnelt der Beobachtungsnormalform einer kontinuierlichen Übertragungsfunktion mit zeitdiskreten Integratoren nach der Untersumme.

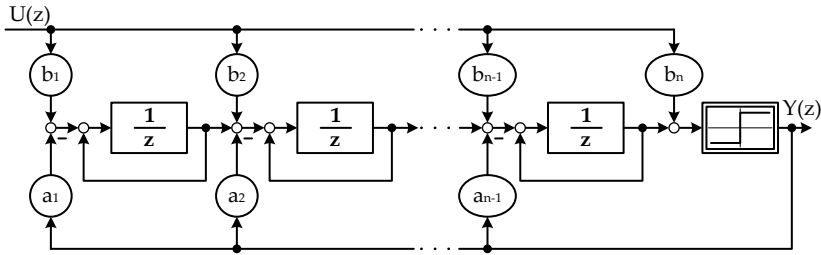


Abb. 2.19: Allgemeine Struktur $\Delta\Sigma$ -Modulator n-ter Ordnung, nach [60]

Die Bestimmung der Parameter erfolgt durch einen Koeffizientenvergleich der Übertragungsfunktionen dieser Struktur mit G_{dz} . Durch eine Erweiterung mit Resonatoren lassen sich auch die erwähnten komplex-konjugierten Nullstellen umsetzen [60]. Es existieren viele verschiedene, weitere Klassen von Strukturen, z.B. eine Umsetzung von G_{dz} mit Koeffizienten im Vorwärtszweig. Einen guten Überblick dazu liefert [60]. Die verschiedenen Strukturen besitzen Vor- und Nachteile in der Umsetzung in einem analogen $\Delta\Sigma$ -Modulator [60].

Bisher wurde die Stabilität eines $\Delta\Sigma$ -Modulators über die Lee-Regel abgeschätzt. Im Folgenden sollen alternative Möglichkeiten zur Stabilitätsuntersuchung aufgezeigt werden.

$\Delta\Sigma$ -Modulatoren sind nichtlineare Regelkreise und werden, vor allem für die Auslegung, häufig durch Näherungen mit linearen Methoden beschrieben. Eine analytische Beschreibung von Modulatoren hoher Ordnung größer als 2 ist nach [62] nicht bekannt. In [71] wird für einen $\Delta\Sigma$ -Modulator erster Ordnung eine explizite Lösung im Zeitbereich angegeben, die nur vom Eingangssignal und dem Taktindex abhängt. Eine explizite Lösung für Modulatoren zweiter Ordnung konnte nicht angegeben werden.

Als Einführung wird die Stabilität des $\Delta\Sigma$ -Modulators erster Ordnung betrachtet, da dessen nichtlineares Modell auch ohne Näherungen ei-

ne anschauliche, analytische Beschreibung ermöglicht. Aufgrund der Signumfunktion am Ausgang des Modulators kann als Kriterium für Stabilität die Eingangs-Ausgangs-Stabilität (auf englisch *bounded input, bounded output* - BIBO) nicht direkt angewendet werden. Ein unkontrolliertes Anwachsen der internen Größen führt immer zu einem beschränkten, binären Ausgang. Daher wird die Beschränktheit der internen Modulator-Zustandsgrößen als Stabilitätskriterium angesetzt [61]. Als Ausgangspunkt der Herleitung aus [60] dient der $\Delta\Sigma$ -Modulator erster Ordnung in Abbildung 2.20 mit der zugehörigen Differenzengleichung

$$x(\nu) = x(\nu - 1) + u(\nu) - \text{sgn}(x(\nu - 1)). \quad (2.31)$$

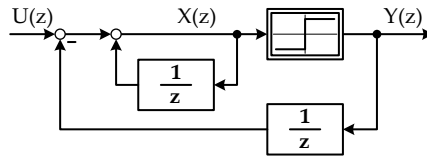


Abb. 2.20: Nichtlinearer, zeitdiskreter $\Delta\Sigma$ -Modulator

Die Eingangs- und Rückführgröße sind auf den Bereich zwischen -1 und $+1$ normiert. Für den Fall einer Übersteuerung des Eingangs

$$|u(\nu)| > 1, \quad (2.32)$$

ist es dem Integrator durch seine beschränkte Rückkopplung mit maximalem Betrag von 1 nicht mehr möglich, den Regelfehler auf 0 zu zwingen. Trotz des richtigen Regelsinns bleibt in jedem Takt ein Rest von

$$x_{Rest} = |u(\nu)| - 1 > 0, \quad (2.33)$$

welcher zum stetigen Anwachsen von $x(\nu)$ führt und daher die Forderung nach beschränkten Modulator-Zustandsgrößen nicht erfüllt. Der Regelkreis ist für diesen Fall instabil. Für den korrekten Eingangsbereich

$|u(\nu)| \leq 1$ kann mit Hilfe vollständiger Induktion nach [60] die Stabilität bewiesen werden. Beginnend mit dem Induktionsanfang

$$|x(0) - \text{sgn}(x(0))| \leq 1 \quad (2.34)$$

unter der Anfangswertbedingung

$$|x(0)| \leq 2 \quad (2.35)$$

folgt der Induktionsschritt

$$|x(1)| = |u(1) + x(0) - \text{sgn}(x(0))| \leq 2. \quad (2.36)$$

Damit ist die Anfangswertbedingung aus (2.35) wieder erfüllt und Gleichung (2.36) gilt für alle ν . Folglich ist der Integratorausgang beschränkt und der $\Delta\Sigma$ -Modulator für alle $|u(\nu)| \leq 1$ stabil. Aus Gleichung (2.36) folgt, dass der Zahlenbereich des Integrators für einen stabilen Betrieb mindestens doppelt so groß sein muss wie der Zahlenbereich der Eingangs- und Rückführgröße.

Für $|u(\nu)| \leq 1$ und einen größeren Anfangswert als in Gleichung (2.35)

$$|x(0)| > 2 \quad (2.37)$$

ist der Modulatorausgang zunächst dauerhaft $+1$ oder -1 , je nach Vorzeichen des Anfangswerts [60]. Der Integratorwert $x(\nu)$ fällt dadurch monoton, bis die Anfangswertbedingung aus Gleichung (2.35) wieder gilt und der Integralwert des Modulators, wie gezeigt wurde, dauerhaft beschränkt ist. Die entstandenen dauerhaften $+1$ oder -1 Bits tragen keine Information des Eingangssignals und treten daher bei einer anschließenden Tiefpassfilterung als Fehler auf. Der $\Delta\Sigma$ -Modulator erster Ordnung ist in der Lage, die Konvergenz der Zustandsgröße von beliebigen Anfangswerten in einem Bereich zu erzwingen, der einen stabilen Betrieb mit korrekter Abbildung des Eingangssignals ermöglicht [60]. Auch für $\Delta\Sigma$ -Modulatoren zweiter Ordnung gilt, dass die Stabilität nicht von den Anfangswerten abhängt [62]. Allerdings gilt die Beschränktheit der Inte-

gratoren nicht für den vollen Eingangsbereich. In [72] werden für konstante Eingangssignale obere Schranken für beide Integratoren angegeben. Diese Schranken steigen mit zunehmendem Betrag teilweise drastisch an.

Auch wenn die analytische Beschreibung von $\Delta\Sigma$ -Modulatoren hoher Ordnung eine Herausforderung darstellt, so steht mit dem linearen Modell des Quantisierers in Abbildung 2.2 ein wichtiges Werkzeug zur näherungsweise Beschreibung zur Verfügung.

In dem linearen Modell ist die effektive Verstärkung des Quantisierers enthalten. Diese ist für Multi-Bit Quantisierer als Verhältnis von Quantisierer-Schrittweite auf der Abszissenachse zum Abstand zweier benachbarter Schwellwerte auf der Ordinatenachse klar als Faktor 1 definiert [60]. Diese Definition ist auf 1-Bit Quantisierer nicht anwendbar, da diese nur eine Schrittweite aufweisen. In Abbildung 2.21 werden verschiedene effektive Verstärkungen dargestellt.

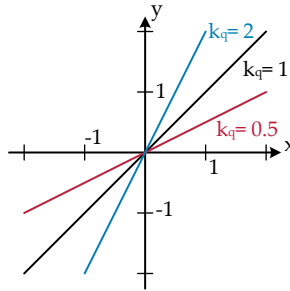


Abb. 2.21: Effektive Verstärkung eines 1-Bit Quantisierers

Da der Ausgang auf ± 1 beschränkt ist, gilt

$$k_q \leq 1 \text{ für } |x| \geq 1 \quad (2.38)$$

und umgekehrt. Auf diese Weise lässt sich für einzelne Wertepaare eine Verstärkung angeben, für die weitere Untersuchung ist eine effektive Ver-

stärkung eines Signalverlaufs notwendig. Die Minimierung der Varianz des Fehlers

$$e = y - kx \quad (2.39)$$

als statistischer Ansatz nach [60] ermöglicht die a posteriori Berechnung der effektiven Verstärkung z.B. nach einer Simulation. Ausgehend von einem mittelwertfreien Quantisierungsrauschen gilt für die Varianz [60]

$$\sigma_e^2 = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{\nu=0}^N e(\nu)^2. \quad (2.40)$$

Als Abkürzung [60] wird das Skalarprodukt eingeführt.

$$\langle a, b \rangle = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{\nu=0}^N a(\nu) \cdot b(\nu) \quad (2.41)$$

In der Schreibweise als Skalarprodukt folgt [60]

$$\sigma_e^2 = \langle e, e \rangle \quad (2.42)$$

$$= \langle y - k_q x, y - k_q x \rangle \quad (2.43)$$

$$= \langle y, y \rangle - 2k_q \langle x, y \rangle + k_q^2 \langle x, x \rangle. \quad (2.44)$$

Die Minimierung der Varianz [60] erfolgt durch die Lösung eines Extremwertproblems

$$\frac{d\sigma_e^2}{dk_q} = -2\langle x, y \rangle + 2k_q \langle x, x \rangle \stackrel{!}{=} 0 \quad (2.45)$$

zu

$$k_q = \frac{\langle x, y \rangle}{\langle x, x \rangle} = \frac{\langle x, \text{sgn}(x) \rangle}{\langle x, x \rangle}. \quad (2.46)$$

Der Quantisierereingang x und damit auch die effektive Verstärkung k_q sind eine Funktion des Eingangssignals und der $\Delta\Sigma$ -Modulator-Struktur. Die effektive Verstärkung k_q muss durch Simulation oder

Messung bestimmt werden. Wenn diese variable Verstärkung auf einen $\Delta\Sigma$ -Modulator zweiter Ordnung nach Abbildung 2.11 angewendet wird, ergibt sich folgende Störübertragungsfunktion:

$$G_{dz} = \frac{(1 - z^{-1})^2}{z^{-2}(1 - k_q) + z^{-1}(-2 + 2k_q) + 1}. \quad (2.47)$$

In [60] wird beispielhaft gezeigt, dass die spektrale Leistungsdichte der Störübertragungsfunktion nach Gleichung (2.47) mit vorab ermitteltem k_q gut mit der simulierten Leistungsdichte der Störübertragungsfunktion des nichtlinearen $\Delta\Sigma$ -Modulators übereinstimmt.

Die effektive Verstärkung k_q kann auch zur Analyse des geschlossenen Regelkreises mit Hilfe der Wurzelortskurve (WOK) genutzt werden [73]. In einem linearen System dient die Wurzelortskurve zum Parameterentwurf anhand von bestimmten Kriterien wie Dämpfung oder Eigenfrequenz. Die effektive Verstärkung k_q hingegen ist kein Entwurfsparameter sondern eine, sich im Betrieb verändernde, Variable. Als Beispiel wird eine Wurzelortskurve eines $\Delta\Sigma$ -Modulators dritter Ordnung nach der Struktur in Abbildung 2.22 behandelt.

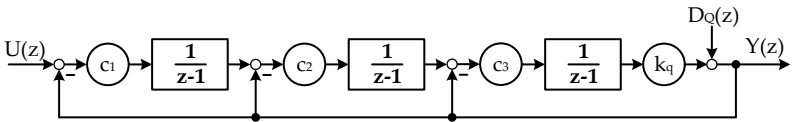


Abb. 2.22: $\Delta\Sigma$ -Modulator 3. Ordnung mit Vorwärtskoeffizienten

Diese häufig genutzte Struktur unterscheidet sich von Abbildung 2.19 dadurch, dass die Möglichkeit eines Vorfilters durch Nullsetzen der entsprechenden b_i außer $b_1 = 1$ entfernt wird. Die Rückführkoeffizienten werden vor die Integratoren gezogen und weisen daher bei einer gleichen Pol/Nullstellen Verteilung andere Werte als bei einer Struktur nach Abbildung 2.19 auf.

Die Übertragungsfunktionen G_{uz} und G_{dz} besitzen den gleichen Nenner,

Tabelle 2.1: Parameter $\Delta\Sigma$ -Modulator

$\Delta\Sigma$ -Modulator ohne Skalierung	$\Delta\Sigma$ -Modulator mit Skalierung
$c_1 = 1, c_2 = 1, c_3 = 1$	$c_1 = 0.125, c_2 = 0.25, c_3 = 0.5$

daher kann die WOK anhand beider Übertragungsfunktionen konstruiert werden. Die Störübertragungsfunktion G_{dz} für Abbildung 2.22 lautet

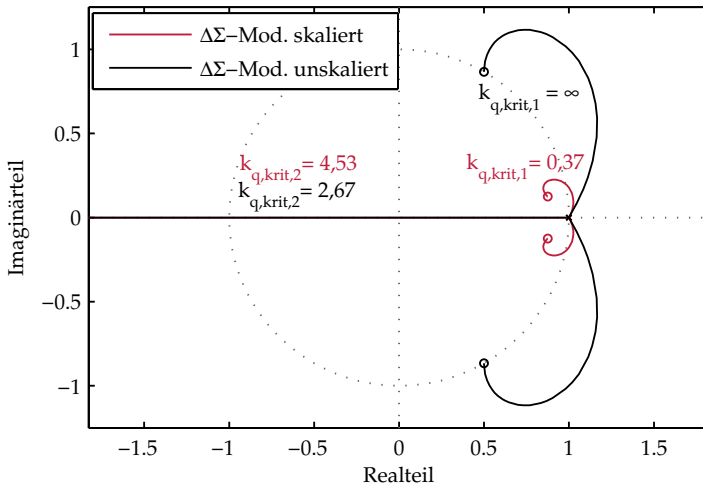
$$G_{dz}(z) = \frac{1}{1 + k_q \cdot \underbrace{\left[c_1 c_2 c_3 \left(\frac{1}{z-1} \right)^3 + c_2 c_3 \left(\frac{1}{z-1} \right)^2 + c_3 \left(\frac{1}{z-1} \right) \right]}_{G'_{dz}}}. \quad (2.48)$$

Der für die Konstruktion der WOK entscheidende Term ergibt sich nach Umformungen zu

$$G'_{dz} = \frac{c_3(z^2 + z(c_2 - 2) + c_1 c_2 - c_2 + 1)}{(z - 1)^3}. \quad (2.49)$$

Zur Untersuchung der WOK werden zwei Parametersätze nach Tabelle 2.1 gewählt, wobei die skalierten Parameter nach Marques et al. [74] bestimmt werden.

Abbildung 2.23 zeigt die entsprechende WOK für beide Parametersätze. Der offene Kreis weist drei Pole auf. Zwei Pole wandern in die Nullstellen des offenen Kreises, während ein Pol gegen $-\infty$ wandert. Formal existieren zwei kritische Verstärkungen $k_{q,krit,i}$, von denen allerdings nur eine zur Instabilität des geschlossenen Kreises führt. Zur Erläuterung werden zwei verschiedene Extrema von k_q betrachtet. Kleine Quantisierer-Eingangssignale führen zu hohen effektiven Verstärkungen, womit ein Pol gegen $-\infty$ wandert. Ein Pol nahe des Einheitskreises führt zu aufklingenden Zustandsgrößen. Dadurch verringert sich k_q wieder und der Zyklus beginnt erneut. Dies führt laut [73] zu einem stabilen Grenzzyklus, der inhärent mit der Funktionsweise des $\Delta\Sigma$ -Modulators verknüpft ist.

Abb. 2.23: Wurzelortskurve $\Delta\Sigma$ -Modulator dritter Ordnung

Der andere Extremwert, eine kleine effektive Verstärkung, kann ebenfalls zur Instabilität des Kreises führen. Für den unskalierten Parametersatz liegt für jedes k_q mindestens ein Pol außerhalb des Kreises, daher ist dieser $\Delta\Sigma$ -Modulator für jedes k_q instabil. Für den skalierten Parametersatz wandert im Fall von $k_q > k_{q,krit,1} = 0.37$ das komplex-konjugierte Polpaar in den Einheitskreis und der geschlossene Kreis ist für diesen Fall stabil. Bei kleineren effektiven Verstärkungen hingegen verlässt das Polpaar den Einheitskreis und die Zustandsgrößen klingen auf. Dadurch wird k_q noch kleiner und der $\Delta\Sigma$ -Modulator wird, im Gegensatz zum ersten Zyklus, instabil. Es entstehen stark verrauschte, niederfrequente Zustandsverläufe mit hohen Amplituden [66], welche das Eingangssignal nicht mehr richtig abbilden. In einer praktischen Implementierung sind die Zustandsgrößen durch Bauteile oder Wortbreiten auf Maximalwerte begrenzt. Insbesondere bei $\Delta\Sigma$ -Modulatoren ab dritter Ordnung ist ein Zurücksetzen der Zustandsgrößen vorteilhaft [75].

Die Wurzelortskurve in Verbindung mit dem linearen Modell des Quantisierers erlaubt wesentliche, aus dem Verhalten des nichtlinearen Modulators bekannte, Eigenschaften zu zeigen. Die Stabilität eines $\Delta\Sigma$ -

Modulators dritter Ordnung [73] ist eine Funktion des Eingangssignals, der Anfangswerte und der Parameter c_1, c_2, c_3 , welche die Pole von G_{uz} und G_{dz} bestimmen. Der Parametersatz legt die Grenzen für Stabilität fest. Dies kann als Robustheit gegenüber zu hohen Zustandsgrößen als Folge von kritischen Eingangssignalen und Anfangswerten interpretiert werden. Als kritisch anzusehen sind insbesondere Eingangssignale, die nahe der Vollaussteuerung liegen [72]. Eine Steigerung der Robustheit, in der Regel durch Verkleinerung der Koeffizienten, führt tendenziell zu einer verminderten Rauschverformung im Passband und dadurch auch zu einem schlechteren SNR. Die Auslegung stellt daher einen Kompromiss zwischen Stabilität und Leistungsfähigkeit des $\Delta\Sigma$ -Modulators dar.

Neben der Auslegung der Parameter mit der Delta Sigma Toolbox [70] oder den Parametern nach Marques et al. [74] besteht eine weitere Möglichkeit zur Analyse in einer Betrachtung des linearen $\Delta\Sigma$ -Modulator-Modells als Kaskadenregelung. Eine mehrschleifige Kaskadenregelung nach Abbildung 2.24 wird in [76,77] untersucht.

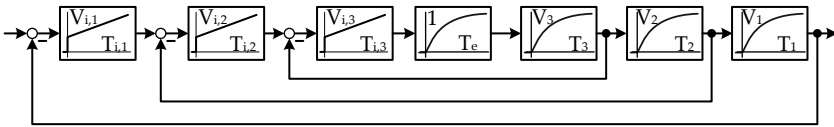


Abb. 2.24: Kaskadenregelung

Sie enthält im innersten Kreis ein Ersatz-PT₁-Glieder und ein weiteres PT₁-Glieder sowie PT₁-Glieder in den äußeren Schleifen [77]. In allen Regelschleifen werden PI-Regler eingesetzt, die schrittweise über eine Pol-Nullstellen Kompensation und Dämpfungsvorgabe ausgelegt werden [77]. Dabei wird mit dem innersten Kreis begonnen und die Auslegung der überlagerten Regler durch eine Näherung des geschlossenen Kreises als eine Ersatzzeitkonstante ermöglicht. Als Folge entsteht der Regelkreis in Abbildung 2.25, der nur noch Integralregler und ein Ersatz-PT₁-Glieder enthält. Wenn für alle Regelkreise die gleiche Dämpfung D_g

angesetzt wird, dann steigen die Zeitkonstanten der Integralregler [76,77] um den gleichen Faktor

$$b = 4D_g^2. \quad (2.50)$$

Für eine Wahl der Dämpfung von $D_g > \frac{1}{\sqrt{2}}$ ist die Kaskadenregelung für eine beliebige Stufenanzahl stabil [77].

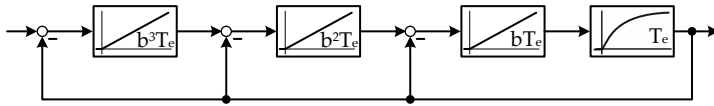


Abb. 2.25: Kaskadenregelung mit ausgelegten PI-Reglern

Um die Reglerstruktur aus Abbildung 2.25 für die Auslegung von linearen $\Delta\Sigma$ -Modulatoren zu nutzen, muss das Ersatz-PT₁-Glied bestimmt werden. Die Kennlinie des binären Quantisierers des $\Delta\Sigma$ -Modulators weist keine Dynamik auf. Der Vorgang der Quantisierung wird jedoch mit einer Frequenz f_s ausgeführt und stellt daher eine ADU mit geringer Quantisierung dar. Zur Rückführung des Bitstroms wird ein DAU mit einer Abtastrate von f_s benötigt. Als Dynamik des gesamten Vorgangs wird das Halteglied des DAUs angesetzt. Für niedrige Frequenzen kann das Halteglied in guter Näherung als ein Laufzeitglied mit der Totzeit $T_t = 0,5 \cdot T_s$ beschrieben werden [18]. Eine Näherung nach dem Verfahren der Ersatzzeitkonstante bestimmt die Zeitkonstante T_e des Ersatz-PT₁-Glieds der Reglerkaskade.

$$T_e = T_t = 0,5T_s \quad (2.51)$$

Mit der Vorgabe einer Dämpfung D_g können alle Parameter der I-Regler bestimmt werden. Aufgrund der hohen Abtastrate f_s eines $\Delta\Sigma$ -Modulators werden die Parameter aus der kontinuierlichen Auslegung direkt für die Parametrierung des zeitdiskreten $\Delta\Sigma$ -Modulators verwendet. Die Auswirkung von drei verschiedenen Dämpfungen bei einer Variation der effektiven Verstärkung zeigt die WOK in Abbildung 2.26.

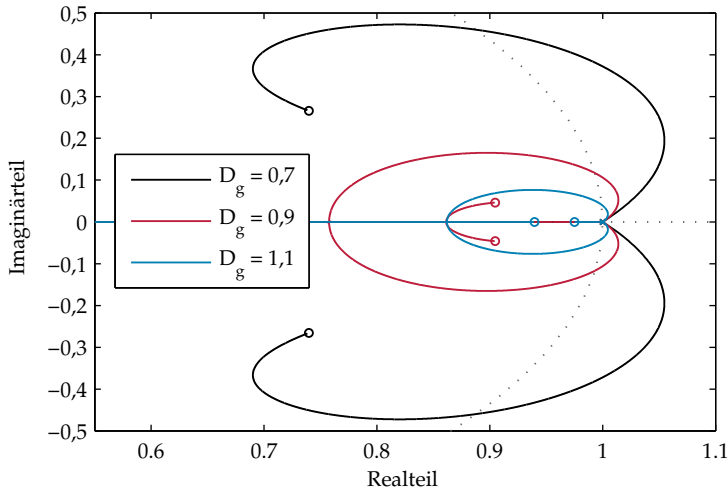


Abb. 2.26: WOK $\Delta\Sigma$ -Modulator dritter Ordnung in Abhängigkeit der Dämpfung

Zu den drei Dämpfungsvorgaben existieren effektive Verstärkungen, bei denen alle Pole im Einheitskreis liegen und der Regelkreis somit stabil ist. Die Wahl von D_g muss mit weiteren Simulationen über das dynamische Führungsverhalten, die Rauschverformung und den maximalen stabilen Eingangsbereich gestützt werden.

Die Untersuchung des nichtlinearen $\Delta\Sigma$ -Modulators mit linearen Näherungen führt zu plausiblen Ergebnissen. Eine genaue Stabilitätsanalyse liefern allerdings erst intensive Simulationen des nichtlinearen Modells [60].

2.2.4 Bewertung von ADUs

Eine Bewertung der Leistungsfähigkeit von ADUs und speziell von $\Delta\Sigma$ -Modulatoren erfolgt häufig im Frequenzbereich auf Basis des SNRs beziehungsweise Signal-zu-Rausch und Verzerrungsabstands (SNDR) [61]. Der $\Delta\Sigma$ -Modulator wird mit einem Sinussignal beaufschlagt. Eine schnelle Fourier-Transformation (FFT) liefert eine Frequenzerlegung

des $\Delta\Sigma$ -Bitstroms. Der SNR ergibt sich aus dem Verhältnis der Signalleistung zur Rauschleistung, während beim SNDR zusätzlich auch noch Verzerrungen berücksichtigt werden.

Abbildung 2.27 zeigt einen typischen SNR-Verlauf über der Eingangsamplitude, an dem Kriterien zur Leistungsbewertung eingezeichnet sind. Der zunächst lineare Verlauf sättigt nahe der Vollaussteuerung und fällt rapide ab. In diesem Bereich beginnt die bereits beschriebene Instabilität der $\Delta\Sigma$ -Modulatoren. Das SNR-Maximum wird als SNR_p bezeichnet. Ein Eingangspegel gilt typischerweise als übersteuert, wenn der zugehörige SNR kleiner als 6 dB des maximalen SNRs ist [61]. Dies ist bei Eingangspegeln größer als dem Übersteuerungspegel (OL) der Fall. Der dynamische Bereich (DR) kennzeichnet den Eingangsbereich vom Übersteuerungspegel bis zum kleinsten Eingangssignal, bei dem das Signal noch vom Rauschen zu unterscheiden ist.

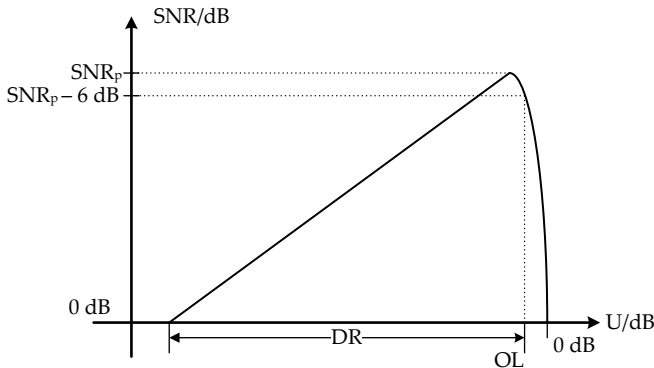


Abb. 2.27: Kriterien zur Leistungsbewertung von $\Delta\Sigma$ -Modulatoren, nach [61]

Eine Alternative zur Bewertung der vollständigen Messkette inklusive des ADUs ist eine stationäre Rauschmessung mit Gleichsignalanregung nach [67]. Das Ergebnis ist eine effektive Anzahl von Bits (auf englisch *effective number of bits* - ENOB), die auch als tatsächliche [5] beziehungsweise effektive Auflösung bezeichnet wird. Es wird der Effektivwert eines Sinussignals mit maximaler Eingangsamplitude $u_{s,eff}$ mit dem Effektivwert des Messrauschens der ganzen Messkette $u_{r,eff}$ in Relation gesetzt.

Für die Messung von $u_{r,eff}$ wird ein Gleichsignal angelegt und mit den Ist-Spannungswerten $u(k)$ nach

$$u_{r,eff} = \sqrt{\frac{1}{n} \sum_{k=1}^n (u(k) - \bar{u})^2} \quad (2.52)$$

der Effektivwert berechnet. Damit lässt sich der SNR in dB berechnen [67].

$$SNR = 20 \text{ dB} \cdot \lg \left(\frac{u_{s,eff}}{u_{r,eff}} \right) \quad (2.53)$$

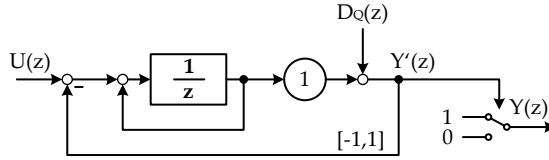
Die effektive Anzahl von Bits ergibt sich nach [62] zu

$$ENOB = \frac{SNR - 1,07 \text{ dB}}{6,02 \text{ dB}}. \quad (2.54)$$

2.2.5 Eigenschaften des Bitstroms im Zeitbereich

Bisher wurden $\Delta\Sigma$ -Modulatoren überwiegend im Frequenzbereich betrachtet. Für eine Signalverarbeitung mit dem Ausgangssignal eines $\Delta\Sigma$ -Modulators, dem Bitstrom, ist eine Betrachtung im Zeitbereich sinnvoll. Eine exakte analytische Lösung für einen $\Delta\Sigma$ -Modulator erster Ordnung wird zwar in [71] beschrieben, ist allerdings zu komplex, um daraus eine Signalverarbeitung abzuleiten. Stattdessen wird in dieser Arbeit ein mittelwertbasierter Ansatz verfolgt. Für einen linearen $\Delta\Sigma$ -Modulator erster Ordnung nach Abbildung 2.7 wurde bereits gezeigt, dass über unendlich viele Takte der Mittelwert des Eingangssignals exakt gleich dem Mittelwert des binären Ausgangs ist. Alle Bits werden gleich gewichtet. Dies motiviert eine Betrachtung des Bitstroms über ein Fenster der Länge N . Als Grundlage für die mittelwertbasierte Beschreibung wird der $\Delta\Sigma$ -Modulator in Abbildung 2.28 verwendet.

Der Unterschied zu dem Modulator in Abbildung 2.7 besteht in einer unterschiedlichen Gewichtung des binären Ausgangs. Die Rückführung mit $[-1, +1]$ definiert den Eingangsbereich, während der Ausgang $Y(z)$ mit $[0, 1]$ zur informationstechnischen Weiterverarbeitung skaliert ist.

Abb. 2.28: $\Delta\Sigma$ -Modulator erster Ordnung

Zur besseren Betrachtung werden die einzelnen Bits eines Bitstrom-Fensters umsortiert, so dass sich wie in Abbildung 2.29 ein Block mit „0“ und „1“ ergibt.

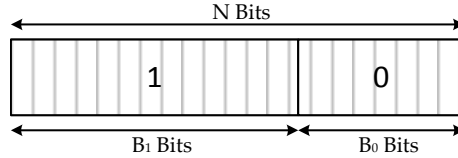


Abb. 2.29: Fenster mit umsortierten Bits

Dabei stellt B_0 die Anzahl der „0“-Bits dar und B_1 die Anzahl der „1“-Bits dar. Damit gilt

$$B_0 + B_1 = N \quad (2.55)$$

$$\underbrace{\frac{B_0}{N}}_{b_0} + \underbrace{\frac{B_1}{N}}_{b_1} = 1. \quad (2.56)$$

Die folgenden Gleichungen ermöglichen, durch Abbildung von \bar{u} mit dem Wertebereich $[-1, +1]$ auf den Wertebereich des Bitstroms $[0, 1]$, die Berechnung der normierten Anzahl von „0“ und „1“-Bits:

$$b_1 = \frac{(\bar{u} + 1)}{2} = \frac{1}{2} \cdot \bar{u} + \frac{1}{2} \quad (2.57)$$

$$b_0 = 1 - b_1 = -\frac{1}{2} \cdot \bar{u} + \frac{1}{2}. \quad (2.58)$$

Die obigen Gleichungen zeigen, dass b_0 und b_1 jeweils einen konstanten Anteil von 0,5 aufweisen und das Eingangssignal differentiell darstellen.

Tabelle 2.2: Nullanregung $\Delta\Sigma$ -Modulator

ν	0	1	2	3	4	5
$x(\nu)$	0	-1	0	-1	0	-1
$y'(\nu)$	1	-1	1	-1	1	-1
$y(\nu)$	1	0	1	0	1	0

Die korrekte Abbildung von \bar{u} kann überprüft werden, wenn die Summe von b_0 und b_1 mit der Gewichtung der Rückführung $[-1, +1]$ durchgeführt wird.

$$b_1 - b_0 = \frac{1}{2} \cdot \bar{u} + \frac{1}{2} - \left(-\frac{1}{2} \cdot \bar{u} + \frac{1}{2}\right) = \bar{u} \quad (2.59)$$

Im Folgenden soll der Spezialfall $\bar{u} = 0$ genauer beleuchtet werden. Laut den Gleichungen (2.57) und (2.58) ergibt sich für diesen Fall ein Bitstrom-Fenster, welches zur einen Hälfte aus „0“ und zur anderen Hälfte aus „1“ besteht. Dies kann auch mit der nichtlinearen Differenzengleichung (2.31) eines $\Delta\Sigma$ -Modulators erster Ordnung nach Abbildung 2.20 gezeigt werden [60]. Folgender Satz von Gleichungen beschreibt das zeitliche Verhalten inklusive der Umskalierung des Ausgangs:

$$x(\nu) = x(\nu - 1) + \underbrace{u(\nu)}_{=0} - \text{sgn}(x(\nu - 1)) \quad (2.60)$$

$$y(\nu) = \text{sgn}(x(\nu)) \quad (2.61)$$

$$y'(\nu) = \begin{cases} 1 & \text{für } y(\nu) = +1 \\ 0 & \text{für } y(\nu) = -1. \end{cases} \quad (2.62)$$

Basierend auf diesen Gleichungen ergibt sich durch Einsetzen der Verlauf der Zustandsgröße und der Ausgänge in der Tabelle 2.2. Ohne Beschränkung der Allgemeinheit wird als Anfangswert $x(0) = 0$ gewählt.

Der Ausgang $y(\nu)$ besteht abwechselnd aus „0“ und „1“ und stellt damit ein Rechtecksignal mit der Frequenz

$$f_y = \frac{f_s}{2} \quad (2.63)$$

Tabelle 2.3: Wahrheitstabelle Quantendekodierung, nach [37]

BS ₀	BS	Quanten
0	0	0
0	1	Q ₊
1	0	Q ₋
1	1	0

dar. Dieses Signal wird als Nullbitstrom BS₀ bezeichnet. Simulationen für $\Delta\Sigma$ -Modulatoren höherer Ordnung deuten auf ein ähnliches Verhalten hin.

Der konstante Anteil in der „0“ und „1“-Verteilung eines Bitstroms wurde anhand der nichtlinearen Gleichungen für eine Nullanregung gezeigt. Dieser Anteil ist rein formal nach den Gleichungen (2.57) und (2.58) auch bei allen anderen Anregungen vorhanden und erschwert eine Signalverarbeitung auf Basis von $\Delta\Sigma$ -Bitströmen. In [37] wird ein Verfahren, die Quantendekodierung (QD), zur Entfernung des konstanten Anteils vorgestellt. Dabei wird der Eingangsbitstrom (BS) mit dem bereits vorgestellten Nullbitstrom (BS₀) durch die Wahrheitstabelle 2.3 verknüpft. Der Ausgang des Quantendekodierers stellt ein ternäres Signal dar, dessen von 0 verschiedene Werte in [37] als Quanten Q₊ und Q₋ bezeichnet werden.

$$q(\nu) = \begin{cases} 0 \\ Q_+ = +1 \\ Q_- = -1 \end{cases} \quad (2.64)$$

Die Wahrheitstabelle 2.3 basiert auf der Idee, positive oder negative Quanten nur bei Abweichungen zwischen Eingangsbitstrom und Nullbitstrom entstehen zu lassen.

Zur Veranschaulichung der Quantendekodierung ist in Abbildung 2.30 ein beispielhafter Verlauf von Eingangsbitstrom, Nullbitstrom und positiven und negativen Quanten nach Tabelle 2.3 dargestellt. Eine Phasenverschiebung um 180° hat laut [37] keinen Einfluss auf die Quantende-

kodierung. Es ergeben sich zwar lokal verschiedene Verläufe, im Mittel bilden positive und negative Quanten den gleichen Wert ab.

Die Wirkung der Quantendekodierung auf den Bitstrom wird in Abbildung 2.31 anhand eines Entscheidungsbaums erläutert. Dazu wird die Beschreibung des Bitstroms als ein Fenster mit umsortierten Bits genutzt. In der obersten Zeile sind die normierten Längen der „0“ und „1“ Blöcke in Abhängigkeit von \bar{u} nach den Gleichungen (2.57) und (2.58) dargestellt.

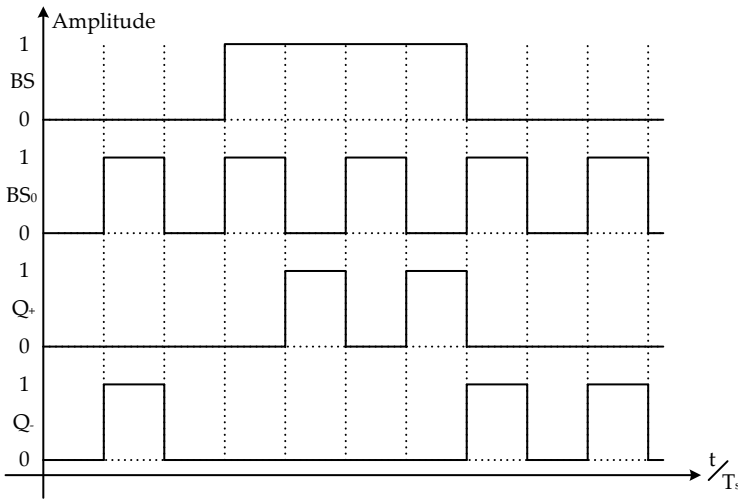


Abb. 2.30: Beispiel zur Quantendekodierung

Jeder „0“ und „1“ Block wird über die Wahrheitstabelle 2.3 mit dem Nullbitstrom verknüpft. Die „0“ und „1“ Blöcke eines Nullbitstroms zeichnen sich durch eine symmetrische Aufteilung aus. Dies wird in der mittleren Zeile von Abbildung 2.31 durch die normierte Anzahl von 0,5 beschrieben. In der letzten Zeile wird das Ergebnis der Verknüpfung der Blöcke des Bitstroms mit den Blöcken des Nullbitstroms unter Berücksichtigung der Blocklängen dargestellt.

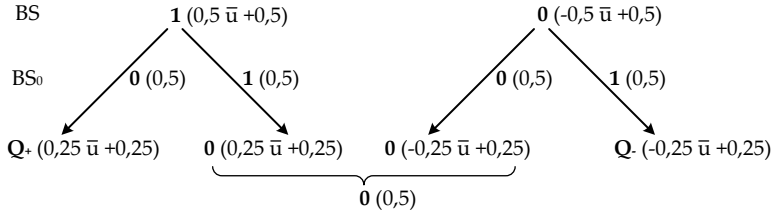


Abb. 2.31: Verteilung des ternären Signals nach Quantendekodierung

Die Anzahl der positiven und negativen Quanten und Nullen bei einer Fensterlänge N ergibt sich damit zu

$$Q_+ = \frac{1}{4} \cdot \bar{u} \cdot N + \frac{1}{4} \cdot N \quad (2.65)$$

$$Q_- = -\frac{1}{4} \cdot \bar{u} \cdot N + \frac{1}{4} \cdot N \quad (2.66)$$

$$Q_0 = \frac{N}{2}. \quad (2.67)$$

Eine vorzeichenbehaftete Addition der normierten positiven und negativen Quanten mit

$$\frac{Q_+}{N} - \frac{Q_-}{N} = \frac{1}{4} \cdot \bar{u} + \frac{1}{4} - \left(-\frac{1}{4} \cdot \bar{u} + \frac{1}{4}\right) = \frac{1}{2} \bar{u} \quad (2.68)$$

zeigt, dass, als Folge der Quantendekodierung, eine Division durch 2 erfolgt. Der konstante Anteil in den Gleichungen (2.57) und (2.58) wird in dem ternären Ausgangssignal als 0 dargestellt und erleichtert daher eine Signalverarbeitung auf Basis von $\Delta\Sigma$ -Bitströmen.

Die bisher gewonnenen Ergebnisse gelten streng genommen nur für ein unendlich breites Bitstrom-Fenster. Die „0“ und „1“-Verteilung wurde global betrachtet. Eine Aussage über kurze Zeiträume ist analytisch, vor allem für Ordnungen größer 1, nur schwer möglich. Daher wird hier die lokale Verteilung des Bitstroms experimentell untersucht. In Abbildung 2.32 ist das Versuchsprinzip erläutert. Eine einstellbare Gleichspannungsquelle speist einen analogen $\Delta\Sigma$ -Modulator zweiter Ordnung.

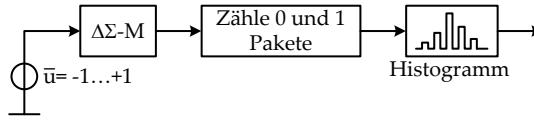


Abb. 2.32: Prinzip zur Messung der lokalen „0“ und „1“-Verteilung

Die einzelnen Bits des Ausgangs werden nicht mehr wie bisher in ein einziges Fenster sortiert, sondern es werden zusammenhängende Gruppen von „0“ und „1“ als Pakete interpretiert und deren Anzahl mittels eines Histogramms bewertet. Es werden $2^{16} = 65536$ Messwerte aufgenommen. In Abbildung 2.33 werden die Histogramme für 2 Spezialfälle, den Nullbitstrom und den Bitstrom eines positiven Wertes nahe der Vollaussteuerung, dargestellt.

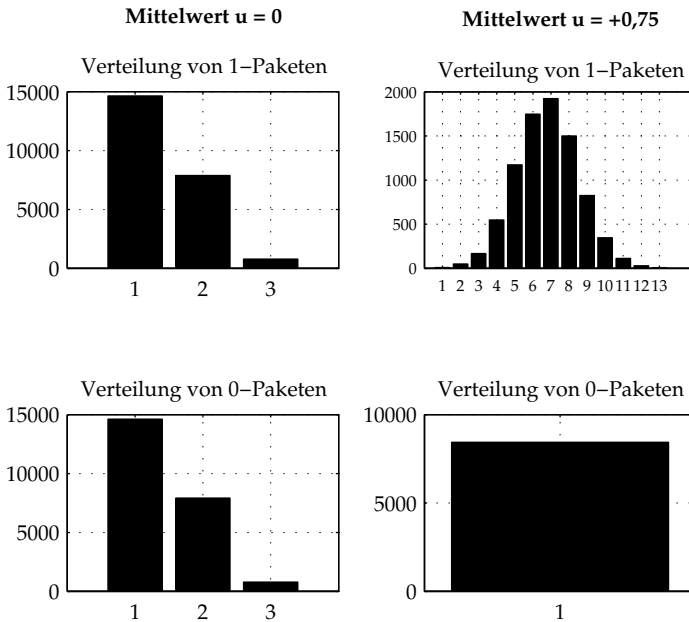


Abb. 2.33: Histogramm 0- und 1-Pakete für $\bar{u} = 0$ und $+0,75$

Es sind die Häufigkeiten der Pakete über der Paketlänge von jeweils „0“

und „1“ aufgetragen. Das Histogramm des Nullbitstroms ähnelt dem Verhalten des $\Delta\Sigma$ -Modulators erster Ordnung bei Nullanregung nach Tabelle 2.2. Die aufsummierte Häufigkeit von „0“ und „1“

$$B_0 = 32790, B_1 = 32746 \quad (2.69)$$

ist annähernd gleich, die kleine Abweichung lässt sich durch Offsets in der Spannungsquelle erklären. Im Gegensatz zum $\Delta\Sigma$ -Modulator erster Ordnung teilen sich die „0“ und „1“-Bits auch auf andere Längen als 1 auf. Im Mittel herrscht allerdings die gleiche symmetrische „0“ und „1“-Verteilung, daher kann auch hier der Nullbitstrom aus Gleichung (2.63) zur Quantendekodierung eingesetzt werden.

Das Histogramm für $\bar{u} = +0,75$ zeigt ein anderes Bild. Die „0“-Bits weisen eine konstante Paketlänge von 1 auf, während das Histogramm der „1“-Pakete einen größeren Mittelwert und eine größere Streuung aufzeigt. Anschaulich markieren die kurzen „0“-Pakete die Umkehrpunkte des bereits beschriebenen inhärenten Grenzzyklus eines $\Delta\Sigma$ -Modulators, wobei der Mittelwert von u den Mittelwert der Länge des „1“-Paketes definiert. Die Streuung der „1“-Pakete folgt der statistischen Verteilung des Quantisierereingangs. Diese wird in der Literatur [78, 79] vor allem für Modulatoren höherer Ordnung als eine gaußsche Normalverteilung angenähert. Mit dieser Annahme wird für das Histogramm der „1“-Pakete der Mittelwert und die Standardabweichung berechnet und die zugehörige Normalverteilung mitsamt der Messpunkte in Abbildung 2.34 dargestellt. Es ist eine gute Übereinstimmung zwischen Messpunkten und skaliertem Normalverteilung zu erkennen. Zur weiteren Untersuchung werden Mittelwert (a) und Standardabweichung (b) für alle Arbeitspunkte von u berechnet und in Abbildung 2.35 für „0“ und „1“-Pakete aufgetragen. Die Verläufe des Mittelwertes und der Standardabweichung sind für positive und negative Werte von \bar{u} für die „0“ und „1“-Pakete annähernd symmetrisch. Als eine Folge der ansteigenden Zustandsgrößen im Modulator steigen die Mittelwerte der „0“ und „1“-Pakete nahe der Vollaussteuerung überproportional an.

Der gemessene Verlauf ähnelt stark dem vorhergesagten Anstieg der maximalen Zustandsgrößen in [72, Abbildung 9].

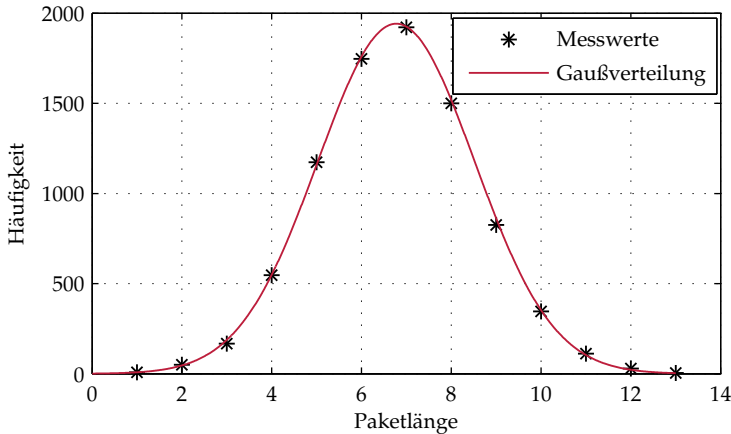


Abb. 2.34: Vergleich Messpunkte und Normalverteilung der „1“-Pakete für $\bar{u} = +0,75$

Die Standardabweichung steigt ebenso mit dem Aussteuerungsgrad an, bricht allerdings kurz vor der Vollaussteuerung bei ungefähr $\pm 0,95$ ein. Aus Messungen am analogen $\Delta\Sigma$ -Modulator wird ab diesem Eingangspegel auch eine deutliche Zunahme des Rauschens festgestellt. Der Abfall der Standardabweichung kann daher als ein Zeichen von stark sinkender Dämpfung des geschlossenen Regelkreises angesehen werden.

Insgesamt ermöglicht eine Beschreibung der $\Delta\Sigma$ -Modulatoren im Zeitbereich, auf Basis von Mittelwerten, die Berechnung der Bithäufigkeit in einem unendlich langen Fenster als globale Verteilung. Die lokale Verteilung auf Grundlage von „0“ und „1“-Paketen wird mit der Annahme einer gaußschen Normalverteilung für konstante Eingangssignale experimentell untersucht. Das Experiment zeigt, dass zu jedem Gleich Eingangssignal eine charakteristische „0“ und „1“ Verteilung gehört, deren Eigenschaft in einigen Arbeitspunkten mit dem bekannten Verhalten eines $\Delta\Sigma$ -Modulators erklärt werden können.

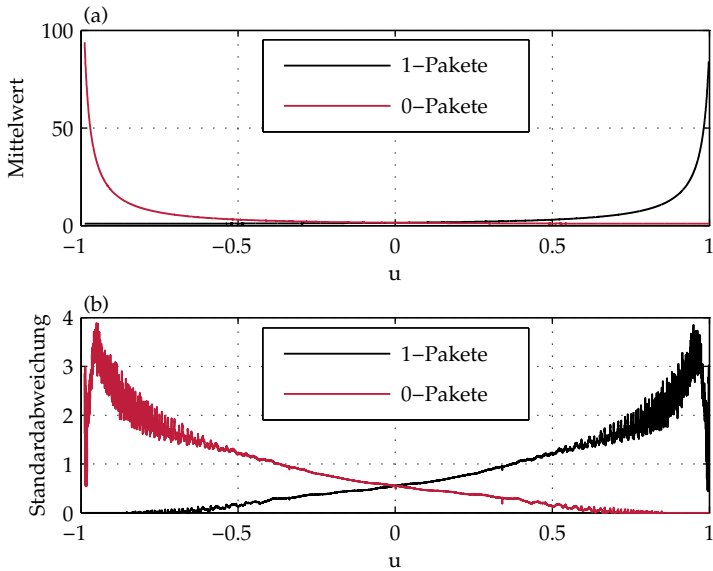


Abb. 2.35: Mittelwert (a) und Standardabweichung (b) der „0“ und „1“-Pakete für den ganzen Eingangsbereich

2.3 Digitale Filter

Der Bitstrom eines linearisierten $\Delta\Sigma$ -Modulators enthält folgende zwei Anteile: das Eingangssignal und das verformte Quantisierungsrauschen. Durch den nichtlinearen Quantisierer entstehen weitere Effekte wie Ruhetöne [62], die hier nicht weiter behandelt werden. Für einen konventionellen $\Delta\Sigma$ -ADU mit Multi-Bit Ausgangsdatenworten ist es notwendig, das Eingangssignal durch einen Tiefpassfilter bestmöglich vom Quantisierungsrauschen zu trennen und die Auflösung des Bitstroms zu erhöhen. Durch den $\Delta\Sigma$ -Modulator erfolgt bereits eine Analog-Digital-Umsetzung, so dass in dem digitalen Filter der Kompromiss zwischen Bandbreite und SNR nachträglich gewählt werden kann. Der digitale Filter soll im Passband möglichst eine Verstärkung von 1 aufweisen und im Stopband das Quantisierungsrauschen effizient unterdrücken. Wie in den Abbildungen 2.9 und 2.12 gezeigt, ist die Rauschverformung bei

niedrigen Frequenzen nahe 0 sehr ausgeprägt. Die Grenzfrequenz des digitalen Filters ist eine Funktion der Überabtastrate und der Modulator-Abtastfrequenz f_s

$$f_g = \frac{f_s}{2 \cdot \text{OSR}}. \quad (2.70)$$

Die OSR muss aufgrund der Rauschverformung deutlich größer als 1 sein, nach [80] mindestens 4, um von der $\Delta\Sigma$ -Modulation zu profitieren. Anschließend an die Tiefpassfilterung kann eine Dezimierung erfolgen, um die Abtastrate auf die minimal notwendige Nyquist-Frequenz zu reduzieren. Dies reduziert den Aufwand der folgenden Signalverarbeitung.

$$f_d = 2f_g = \frac{f_s}{\text{OSR}} \quad (2.71)$$

In Abbildung 2.36 sind die vorgestellten Elemente eines digitalen Filters skizziert. Mit der Überabtastrate sind Ausgangsfrequenz und Auflösung gegenläufig einstellbar.

Die Auslegung und Wahl der digitalen Filter wird hier nicht im Detail dargestellt. In [23] werden verschiedene lineare und nichtlineare Filter vorgestellt und verglichen. Als digitale Filter werden in dieser Arbeit die häufig genutzte Klasse von „cascaded integrator-comb“-Filtern [81] verwendet, da sie besonders effizient zu implementieren sind und bereits eine Dezimierung beinhalten. Aufgrund des besonderen funktionalen Zusammenhangs des Betragsverlaufs werden diese Filter auch als Sinc^k-Filter bezeichnet.

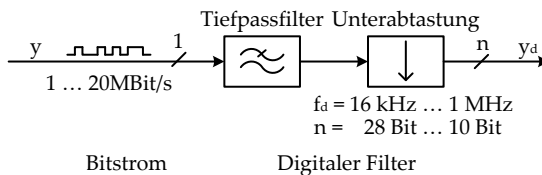


Abb. 2.36: Allgemeiner digitaler Filter für einen $\Delta\Sigma$ -Bitstrom

2.3.1 Sinc^k-Filter

Die Übertragungsfunktion eines Sinc^k-Filters lautet

$$G_{Sinc,k}(z) = \left(\frac{1 - z^{-D}}{1 - z^{-1}} \right)^k, \quad (2.72)$$

wobei k die Ordnung des Filters ist und D als Dezimierungsrate gleichbedeutend mit der OSR ist. Für die Ordnung k des Sinc^k-Filters in Bezug auf die Ordnung n_{mod} des $\Delta\Sigma$ -Modulators muss

$$k \geq n_{mod} + 1 \quad (2.73)$$

gelten [60, 82], um das Quantisierungsrauschen ausreichend zu unterdrücken. Mit $z = e^{j\omega T_s}$ lässt sich der Betragsverlauf des Filters mit der Gleichverstärkung D^k berechnen [111].

$$|G_{Sinc,k}(j\omega)| = D^k \cdot \frac{\text{sinc}\left(\frac{\omega D T_s}{2}\right)}{\text{sinc}\left(\frac{\omega T_s}{2}\right)} \quad (2.74)$$

Der Name des Filters beruht auf der $\text{sinc}(x) = \frac{\sin(x)}{x}$ Funktion im Betragsverlauf in obiger Gleichung. In Abbildung 2.37 sind beispielhaft der Amplitudengang der Störübertragungsfunktion G_d eines $\Delta\Sigma$ -Modulators zweiter Ordnung und der eines Sinc³-Filters aufgetragen.

Die Nullstellen im Betragsverlauf sind Vielfache der Ausgangsfrequenz f_d und das Passband des Filters ist mit der grauen Fläche angedeutet. Der Betragsabfall im Passband ist der einfachen Filterstruktur geschuldet. Eine Betragskompensation mit einem nachgeschalteten Filter ist zwar möglich, dieser führt nach [9] allerdings zu Verzögerungen, die zu groß für eine Anwendung in Regelkreisen in der Antriebstechnik sind.

Eine dynamische Charakterisierung der Sinc-Filter kann über deren Gruppenlaufzeit anhand des Phasenverlaufs $\phi(\omega)$ berechnet werden.

$$T_{filt} = -\frac{d\phi(\omega)}{d\omega} \quad (2.75)$$

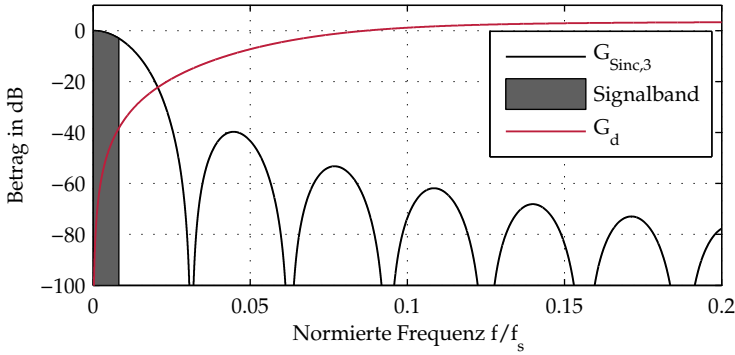


Abb. 2.37: Amplitudengänge von Störübertragungsfunktion und Sinc^3 Filter

Mit der Übertragungsfunktion [111]

$$G_{\text{Sinc},k}(j\omega) = \left(D \cdot \frac{\text{sinc}\left(\frac{\omega D T_s}{2}\right)}{\text{sinc}\left(\frac{\omega T_s}{2}\right)} \right)^k \cdot e^{-jk \frac{\omega T_s}{2} (D-1)} \quad (2.76)$$

folgt die Gruppenlaufzeit zu

$$T_{\text{filt}} = \frac{k T_s}{2} (D - 1). \quad (2.77)$$

Für die späteren Untersuchungen der Störunterdrückung ist eine Betrachtung der Sinc^k -Filter im Zeitbereich notwendig. Allgemein ergibt sich der Ausgang eines Filters durch die Faltung von Filter-Impulsantwort und Eingangssignal. Daher liefert die Impulsantwort Informationen über die zeitliche Gewichtung des Eingangssignals. In Abbildung 2.38 sind als Beispiel die Impulsantworten von Sinc-Filtern erster bis dritter Ordnung mit $D = 8$ dargestellt.

Die Impulsantwort eines Sinc^1 -Filters entspricht dem eines FIR-Filters mit gleichgewichteten Koeffizienten. Ein Sinc^2 -Filter ergibt sich aus der Faltung der Impulsantwort des Sinc^1 -Filters mit sich selbst. Höhere Ordnungen folgen entsprechend. Die zeitliche Breite T_{impuls} der Impulsantwort

steigt mit der Ordnung k und der Dezimierungsrate D des Sinc-Filters und wird mit Gleichung 2.78 berechnet [14].

$$T_{\text{impuls}} = (k(D - 1) + 1) \cdot T_s \quad (2.78)$$

Die Koeffizienten der Impulsantworten zeigen die Gewichtung der Eingangswerte [14, 77] und bestimmen damit die dynamischen Eigenschaften des Filters. Um die zeitliche Gewichtung der Sinc-Filter mit unterschiedlicher Ordnung bezüglich der Dämpfung von Störungen zu vergleichen, werden die Betragsverläufe der Sinc-Filter im Frequenzbereich untersucht.

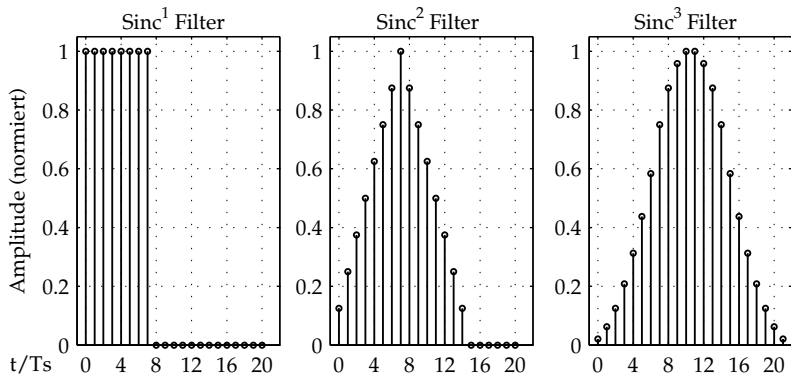


Abb. 2.38: Impulsantworten verschiedener Sinc^k-Filter, nach [HNS13]

Hier wird der Fall betrachtet, dass zur Berechnung der Filterantwort gleich viele Eingangswerte gewichtet werden. Die Länge der Impulsantworten muss dafür gleich sein. Dies erfordert nach Gleichung (2.78) eine Variation der Dezimierungsrate D für verschiedene Ordnungen k . Abbildung 2.39 zeigt das Ergebnis einer Simulation der Betragsverläufe von Sinc-Filtern verschiedener Ordnung. Durch die Variation der Dezimierungsrate D verändert sich die Ausgangsdatenrate der Filter und damit die Lage der Nullstellen im Betragsverlauf. Der Sinc¹-Filter weist bei niedrigen Frequenzen eine höhere Dämpfung als die Sinc²- und Sinc³-Filter auf. Dies ist in seiner höheren Dezimierungsrate begründet. Mit steigender Filter-Ordnung erzielen die Sinc-Filter durch

die veränderte Impulsantwort eine bessere Dämpfung bei hohen Frequenzen. Dies ist entscheidend für die Unterdrückung des verformten Quantisierungsrauschens.

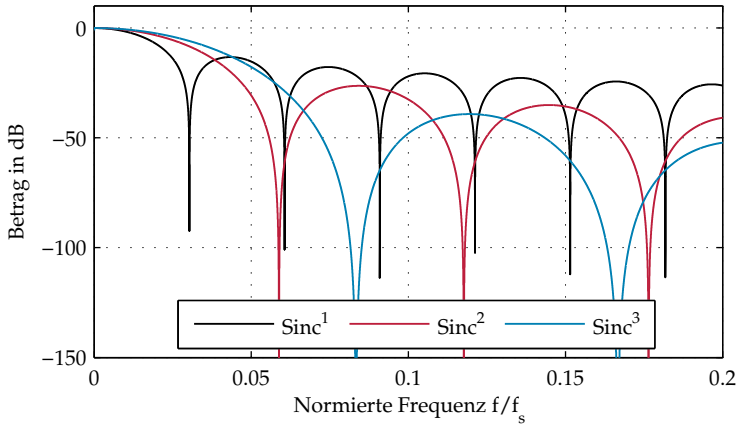


Abb. 2.39: Betragsverläufe von Sinc-Filtern unterschiedlicher Ordnung

Die erwähnte effiziente Implementierung wird in Abbildung 2.40 am Beispiel eines Sinc^3 -Filters dargestellt. Die Struktur mit drei Integratoren nach der Obersumme, einem Dezimierer und drei Differenzierern ist frei von Multiplikationen und daher effizient in einem FPGA zu implementieren.

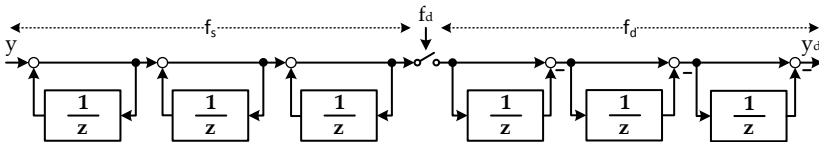


Abb. 2.40: Implementierung Sinc^3 -Filter

Ein weiterer Vorteil bezüglich des Ressourcen-Verbrauchs ist der Einsatz von einfachen Verzögerungen z^{-1} in der Struktur. Dies wird durch den Einsatz der Unterabtastung ermöglicht, welche die Taktfrequenz der Integratoren f_s auf die Taktfrequenz der Differenzierer f_d dezimiert.

Eine alternative Umsetzung der Sinc^3 -Filter ist in Abbildung 2.41 gezeigt. Der Verzicht auf die Dezimierung wird mit einem höheren Ressourcen-Verbrauch erkauft. Aus den einfachen Verzögerungen werden Schieberegister mit der Länge der Dezimierungsrate.

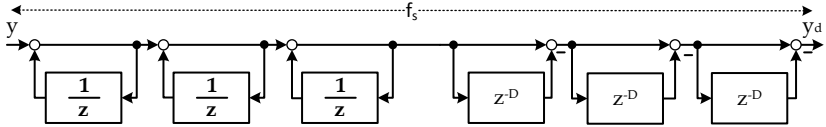


Abb. 2.41: Alternative Implementierung Sinc^3 -Filter

Der Unterschied der beiden Strukturen im zeitlichen Verhalten wird am Beispiel der Sprungantwort eines Sinc^3 -Filter mit der Dezimierungsrate $D = 8$ in Abbildung 2.42 demonstriert. Beide Sprungantworten weisen das gleiche Einschwingverhalten auf, die Struktur ohne Dezimierung ermöglicht allerdings einen Zugriff auf Zwischenwerte. Wenn die Abtastfrequenz einer Regelung in der Größenordnung von f_d liegt, bietet dies keinen Vorteil. Erst eine hochfrequent abgetastete Regelung im Bereich von f_s zieht einen Nutzen aus der zweiten Struktur.

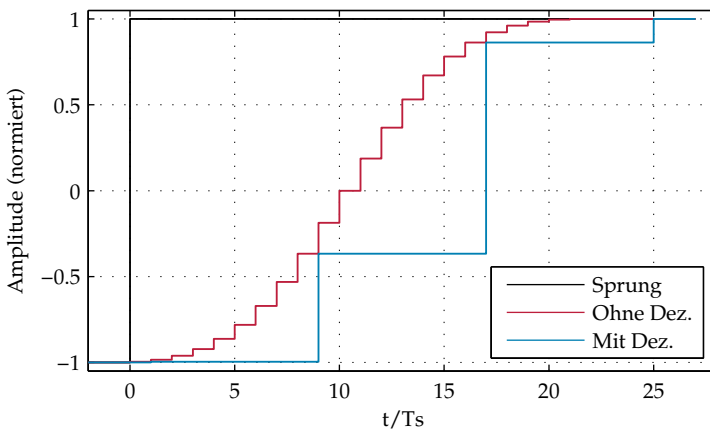


Abb. 2.42: Sprungantworten verschiedener Sinc^3 -Strukturen

2.3.2 Zweistufige Filter

Die Ordnung n_{mod} des $\Delta\Sigma$ -Modulators bestimmt nach Gleichung (2.73) die Ordnung k der Sinc^k -Filter. In der Praxis werden in der Regel mindestens $\Delta\Sigma$ -Modulatoren zweiter Ordnung eingesetzt. Sie bieten eine bessere Rauschverformung als die Modulatoren erster Ordnung und weisen weniger Ruhetöne im Quantisierungsrauschen auf [60]. Für einen $\Delta\Sigma$ -Modulator zweiter Ordnung muss mindestens ein Sinc^3 -Filter eingesetzt werden. Eine gleichgewichtete Impulsantwort dieser einstufigen Filter ist dementsprechend nicht möglich. Einige Anwendungen erfordern allerdings eine gleichgewichtete Impulsantwort, wie zum Beispiel die Spannungsmessung an den Klemmen eines Frequenzumrichters mit PWM-Taktung. Eine Gleichgewichtung der Messwerte ist Voraussetzung für die korrekte Messung des zeitlichen Mittelwerts, anderenfalls entstehen Abweichungen vom zeitlichen Mittelwert. Diese Fehler sind von dem Aussteuerungsgrad und der Phasenlage der PWM zur Impulsantwort abhängig, wie in [112] durch Simulation veranschaulicht wird.

Eine Kaskadierung von Filtern verändert die Impulsantwort und bietet dadurch Freiheitsgrade zur Erzielung einer gleichgewichteten Impulsantwort. Häufig werden zweistufige Filter aus einem Sinc^k -Filter und einem FIR oder IIR Filter eingesetzt [21, 60]. Ein Spezialfall dieser Anordnung ergibt sich aus der Kombination eines Sinc^k -Filters und einem Mittelwertbildner (Sinc^1 -Filter) [83–85] [HNS13]. Die Sinc^k -Filter mit der Ordnung k nach Gleichung (2.73) zeichnen sich durch eine ausreichende Unterdrückung des Quantisierungsrauschens aus und eine anschließende Mittelwertbildung mit der Dezimierung M erzeugt eine nahezu gleichgewichtete Impulsantwort. Diese ist beispielhaft in Abbildung 2.43 für eine Sinc^3 - Sinc^1 -Kaskade gezeigt. Um den zeitlichen Verlauf besser beurteilen zu können, werden die Sinc^3 -Filter, wie in Kapitel 2.3.1 beschrieben, ohne Dezimierung umgesetzt. Die Impulsantwort des zweistufigen Filters weist zu 86% eine Gleichgewichtung auf, während die Ränder sich aus den Impulsantworten der verwendeten Sinc^3 -Filter mit kurzer Dezimierungsrate zusammensetzen. Die Wahl der Dezimierungsrate D der Sinc^3 -Filter beeinflusst wesentlich die Form der Impulsantwort [112]. Ei-

ne Erhöhung von D verbessert die Filterwirkung und damit auch die Auflösung des gesamten Filters. Die resultierende verringerte Flankensteilheit führt allerdings zu zwei Nachteilen. Die Gruppenlaufzeit des Filters steigt und die zeitliche Form der Impulsantwort entfernt sich mehr von der geforderten rechteckförmigen Impulsantwort.

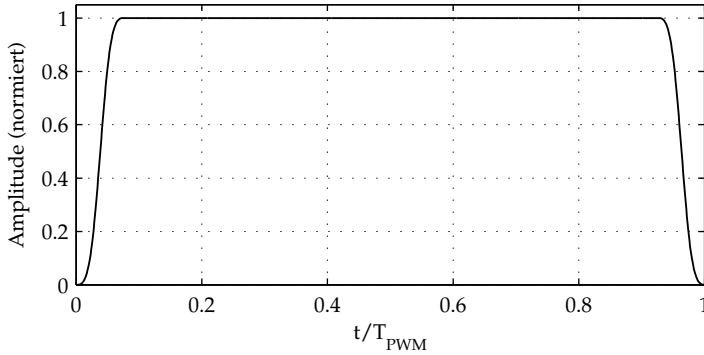


Abb. 2.43: Impulsantwort zweistufiger Filter, nach [112]

Eine Auslegung der Dezimierungsrate D nach der Gruppenlaufzeit wird in [112] durchgeführt. Ein anderer Ansatz zur Auslegung wird in [83] verfolgt. Sowohl die Ordnung k des Sinc^k-Filters als auch die Dezimierungsrate wird in Simulation variiert, um eine maximale Auflösung und Ähnlichkeit der Impulsantwort mit einem Mittelwertbildler zu erzielen.

Die Gruppenlaufzeit des zweistufigen Filters für eine Sinc³-Sinc¹-Kaskade ergibt sich aus dessen Übertragungsfunktion [112]

$$G_{Sinc,ges} = G_{Sinc,3}(j\omega) \cdot G_{Sinc,1}(j\omega D) \quad (2.79)$$

$$= \frac{\sin^2\left(\frac{\omega D T_s}{2}\right) \cdot \sin\left(\frac{\omega M D T_s}{2}\right)}{\sin^3\left(\frac{\omega T_s}{2}\right)} \cdot e^{-j\frac{\omega T_s}{2}(D(M+2)-3)} \quad (2.80)$$

zu

$$T_{filt,k} = \frac{T_s}{2}(D(M+2)-3). \quad (2.81)$$

Die Dezimierungsrate M des Mittelwertbilders für eine Integration über eine ganze PWM-Periode ergibt sich nach [112] zu

$$M = \frac{f_s}{Df_{PWM}}. \quad (2.82)$$

Die Gruppenlaufzeit ist nach [112]

$$T_{filt,k} = \frac{T_s}{2} \left(\left(\frac{f_s}{f_{PWM}} + 2D \right) - 3 \right). \quad (2.83)$$

2.4 Prüfstand

Zur Implementierung und Test der Algorithmen wird ein am Institut für Regelungstechnik entwickelter Prüfstand verwendet, der im Rahmen einer Dissertation [5] entstanden ist. Das Kernsystem besteht aus drei Komponenten: einem digitalen Signalprozessor (DSP), einem FPGA und einer Universal Serial Bus (USB)-Kommunikationseinheit zur Aufzeichnung von Variablen im Regeltakt und zur Sollwertvorgabe. Ein paralleler Datenbus des DSPs ermöglicht einen schnellen Datenaustausch zwischen den drei Komponenten. Grundlegende Logikfunktionen wie die PWM-Erzeugung oder die Auswertung der ADUs sind auf dem FPGA, einem Cyclone II der Firma Altera, umgesetzt. Der DSP vom Typ C6713 der Firma Texas Instruments führt rechenintensive Operationen aus. Dem FPGA stehen sechs hochfrequent abtastende Flash-ADUs mit einer Bitbreite von 14 Bit und einer Abtastrate von 10 MS/s und $\Delta\Sigma$ -ADUs mit integriertem digitalen Tiefpassfilter zur Verfügung.

Das modulare Konzept dieses universellen Motorenprüfstandes (UniMoP) sieht eine Erweiterung des Systems mit Zusatzplatinen vor. So ist die Übertragung der PWM-Signale über Lichtwellenleiter (LWL) und die analoge Signalaufbereitung von optischen Sin/Cos Gebern auf zusätzlichen Platinen ausgelagert. In der Dissertation [5] wird eine hochfrequente Feinauflösung des Winkels über einen Arkustangens mit dem CORDIC-Algorithmus entwickelt, so dass der Winkel mit einer Abtastrate von 10 MHz und einer effektiven Anzahl von Bits von 21 Bit bereitsteht.

Tabelle 2.4: Parameter PMSM

Parameter	Wert	Bedeutung
P_n	2,0 kW	Nennleistung
n_n	3400 U/min	Nerndrehzahl
M_n	6,7 Nm	Nennmoment
I_n	4,2 A	Nennstrom
I_{max}	19,0 A	Maximalstrom
Θ	$6,0 \cdot 10^{-4} \text{ kgm}^2$	Massenträgheit
R_s	$1,7 \Omega$	Strangwiderstand
L_s	10,6 mH	Stranginduktivität
K_{emk}	93 V/(1000 U/min)	Spannungskonstante

Durch den Einsatz eines FIR-Filters ist eine Steigerung der effektiven Auflösung des Winkels möglich [5]. Für die Strom- und Spannungsregelung ist die direkte Verarbeitung von $\Delta\Sigma$ -Bitströmen gefordert. Daher sind die vorhandenen $\Delta\Sigma$ -ADUs mit integriertem Tiefpassfilter nicht geeignet. In der Bachelorarbeit [111] wurde eine Zusatzplatine mit analoger Signalaufbereitung und Analog-Digital-Umsetzung durch einen $\Delta\Sigma$ -Modulator vom Typ ADS1204 [86] der Firma Texas Instruments entwickelt. Zur Stromwandlung werden auf einer externen Platine Sensoren der Firma LEM [87] eingesetzt. Eine Spannungsmessung wurde im Rahmen der Masterarbeit [112] mit dem gleichen $\Delta\Sigma$ -Modulator und externen Spannungsteilern als Spannungswandlern realisiert.

Die Parameter der verwendeten PMSM mit drei Polpaaren sind in Tabelle 2.4 dargestellt. Damit ergibt sich das Gesamtsystem wie in Abbildung 2.44 gezeigt. Der UniMoP-Prüfstand ermöglicht durch den FPGA sowohl den flexiblen Einsatz unterschiedlicher digitaler Tiefpassfilter als auch die direkte Verarbeitung von $\Delta\Sigma$ -Bitströmen. Konzeptionell sind damit die Untersuchungen der konventionellen Regelung mit $\Delta\Sigma$ -ADUs und der direkten Signalverarbeitung der $\Delta\Sigma$ -Bitströme möglich. Der begrenzende Faktor für diese Anwendung ist allerdings die Übertragung der Daten im Regeltakt des DSP von 16 kHz. Die Ausgangsdatenrate eines digitalen Tiefpassfilters für $\Delta\Sigma$ -Bitströme kann in Abhängigkeit der Dezimierungsrate nahezu beliebig von wenigen 100 Hz bis zu Frequenzen im Bereich des $\Delta\Sigma$ -Modulator-Taktes von 10 MHz variieren, so dass nur

eine Übertragung von einzelnen Filterwerten pro DSP-Regeltakt möglich ist.

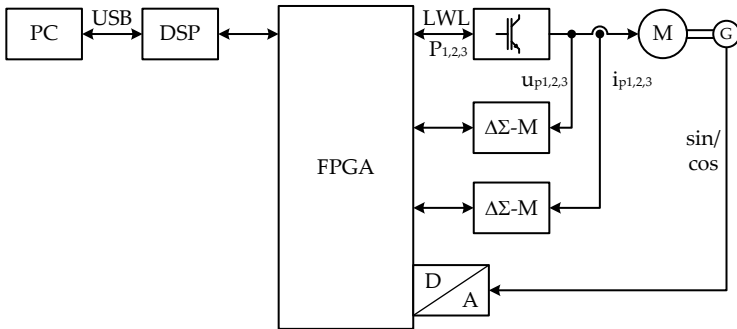


Abb. 2.44: Übersicht über den UniMoP-Prüfstand

Eine Nutzung des internen FPGA Speichers mit der „SignalTap II“ der Firma Altera ermöglicht zumindest eine kurze Aufzeichnung von FPGA-Signalen. Um $\Delta\Sigma$ -Bitströme und Zwischengrößen des $\Delta\Sigma$ -Modulators im $\Delta\Sigma$ -Modulator-Takt T_s über einen längeren Zeitraum aufzuzeichnen, wird ein weiterer Prüfstand konzipiert.

Das Hauptelement des zweiten Prüfstands ist das Entwicklungsboard „DE0-Nano Board“ der Firma Terasic mit einem Cyclone IV-FPGA und integriertem 32 MB Synchronous Dynamic Random Access Memory (SDRAM). Damit ist ausreichend Speicher zur Aufzeichnung von mehreren $\Delta\Sigma$ -Bitströmen über eine Sekunde vorhanden. Auch die weiteren Komponenten des UniMoP-Prüfstands werden angepasst. So erfolgt die Übertragung von FPGA-Daten über einen am Institut für Regelungstechnik entwickelten Bus auf Ethernet (ETH) Basis mit geringer Latenz [88, 89]. Ein Echtzeit-Linux ermöglicht die Annahme der Werte, Berechnung von komplexen Regelalgorithmen und Übertragung von Stellgrößen zum FPGA in einem Regeltakt [88, 89]. Statt analoger Signale werden zur Strom- und Spannungsmessung die digitalen $\Delta\Sigma$ -Bitströme galvanisch getrennt übertragen. Kapazitive Übertrager stellen die galvanische Trennung sicher. Als physikalische Schnittstelle wird Low Voltage Differential Signaling (LVDS) eingesetzt. Die zentrale Platine mit dem

„DE0-Nano Board“ wird als DELFIN (Delta Sigma Encoder LWL FPGA Integriert Netzwerk) bezeichnet und die Erweiterung zur Strom- und Spannungsmessung als DELFIN-OHR (Oversampling achieves High Resolution). Das Konzept wurde erst zum Ende dieser Arbeit erstellt, so dass bisher lediglich im Rahmen der Masterarbeit [113] eine flexible Aufzeichnung von Signalen unterschiedlicher Bitbreite für Abtastraten von bis zu 16 MHz mit dem SDRAM realisiert wurde. Abbildung 2.45 zeigt eine Übersicht über die beschriebenen Komponenten. Die 3D-Ansichten der DELFIN-Platine und der DELFIN-OHR-Platine sind in Abbildung 2.46 und 2.47 gezeigt.

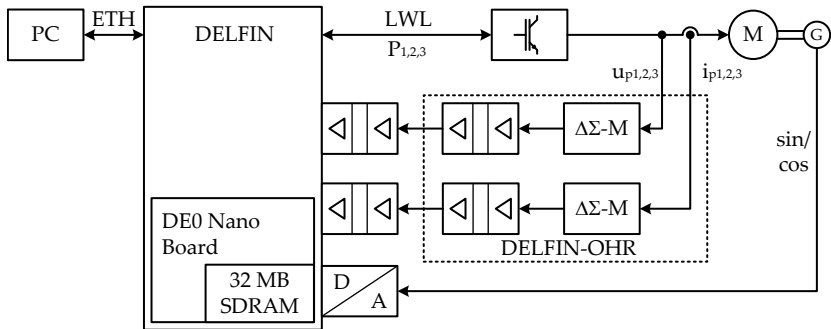


Abb. 2.45: Übersicht über den DELFIN Prüfstand

Die im weiteren Verlauf dieser Arbeit erzielten Ergebnisse basieren alle auf dem UniMoP-Prüfstand. Lediglich die SNDR Auswertung unterschiedlicher $\Delta\Sigma$ -Modulatoren in Kapitel 4.1.2 erfolgt auf dem DELFIN-Prüfstand.

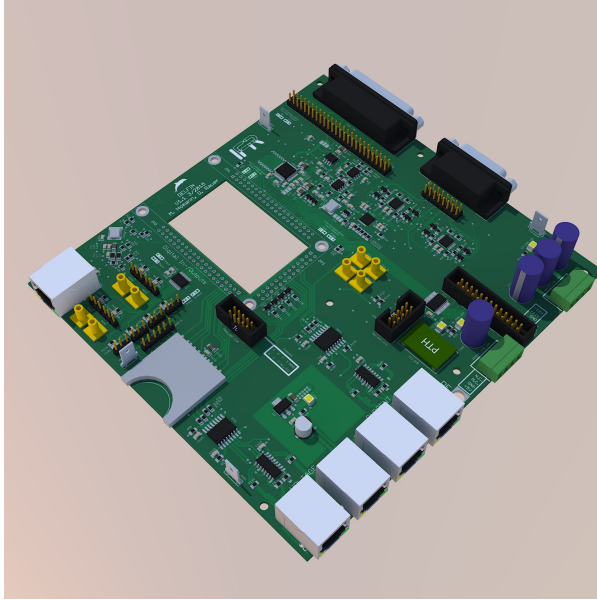


Abb. 2.46: 3D-Ansicht der DELFIN-Platine

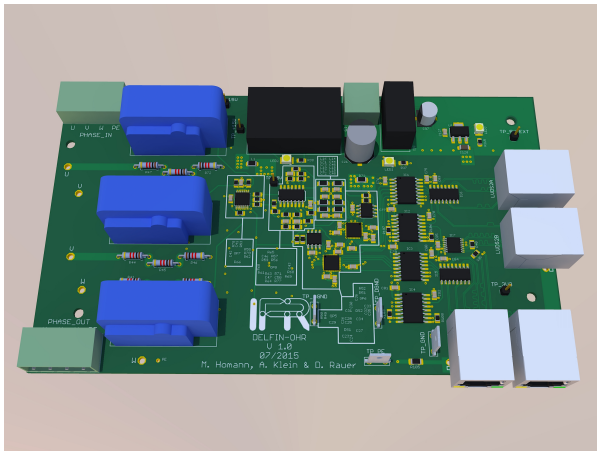


Abb. 2.47: 3D-Ansicht der DELFIN-OHR-Platine

3 Konventionelle Delta-Sigma-Regelung

Der Begriff „konventionelle $\Delta\Sigma$ -Regelung“ bezeichnet in dieser Arbeit eine zeitdiskrete Regelung, in der die Analog-Digital-Umsetzung von Messwerten durch $\Delta\Sigma$ -Modulatoren erfolgt und ein digitaler Filter Multi-Bit Datenwörter zur Umsetzung des Regelgesetzes liefert. Da dies den häufigsten Fall in der Anwendung von $\Delta\Sigma$ -ADUs darstellt, werden für eine Spannungs- und Stromregelung einer Drehfeldmaschine Möglichkeiten und Einschränkungen aufgezeigt.

3.1 Spannungssteuerung

Die Speisung von Drehfeldmaschinen erfolgt üblicherweise mit einem Spannungszwischenkreis-Umrichter [18] wie in Abbildung 3.1 skizziert.

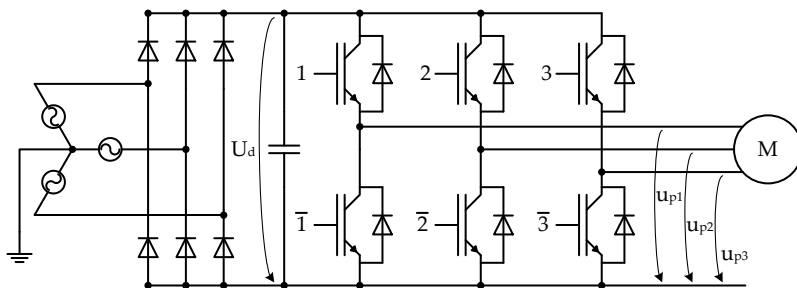


Abb. 3.1: Spannungszwischenkreis-Umrichter zur Ansteuerung eines Motors

Der Umrichter kann in drei funktionale Teile zerlegt werden [18]: eine netzseitige fremdgesteuerte Gleichrichterbrücke, einen Zwischenkreis mit Kondensatoren und einen selbstgeführten Stromrichter aus Bipolartransistoren mit isolierter Gate-Elektrode (IGBT) und Dioden. Eine

PWM der Leistungshalbleiter des Stromrichters ermöglicht eine einstellbare Spannung und Frequenz der Phasenpotentiale u_{p1} , u_{p2} und u_{p3} . In der Regel wird hierzu die Raumzeigermodulation [90] eingesetzt, da sie eine gute Spannungsausnutzung und geringe PWM-Harmonische verursacht.

Die übliche digitale Ausführung der PWM erfolgt in einer offenen Kette, es findet keine Rückführung der analogen Phasenpotentiale statt. Die Spannungszeitflächen der Phasenpotentiale unterscheiden sich durch mehrere Effekte [18] von den digitalen Sollwerten. Die Versorgungsspannung weist eine überlagerte Wechselspannung durch den Gleichrichter auf und ist zudem abhängig von dem Betrag und Vorzeichen des Laststroms. Sie beeinflusst die realen Spannungszeitflächen multiplikativ. Häufig wird die Zwischenkreisspannung U_d gemessen und in der Modulation berücksichtigt. Die Spannungsabfälle an den Leistungsschaltern und Dioden sind strom- und temperaturabhängig [18] und stellen additive Fehler dar. Ein wesentlicher Spannungsfehler entsteht durch die Totzeit [18], die zum Schutz der Leistungsschalter dem Ansteuerungssignal hinzugefügt wird. Diese Totzeit wird zwischen dem Abschalten eines Schalters einer Halbbrücke und dem Einschalten des anderen Schalter eingefügt, um einen Kurzschluss des Zwischenkreises über die Halbbrücke zu vermeiden. Weiteres nicht ideales Verhalten des Leistungshalbleiters, wie Ein- und Ausschalzeiten und stromabhängige Spannungsrampen, tragen zu weiteren Fehlern bei. Dies führt in Summe zu einer Fehlspannung des Umrichters, die nichtlinear von Phasenstrom, Temperatur und Exemplarstreuungen abhängig ist. Als Beispiel ist in Abbildung 3.2 ein identifizierter Fehlspannungsverlauf in der Form

$$u_{fehl} = f(i) \quad (3.1)$$

dargestellt. Methoden zur Identifikation der Fehlspannungskennlinie werden in [5, 18, 19] besprochen. Insbesondere bei kleinen Strömen um den Nullpunkt ist die Kennlinie stark geneigt und weist im Nullpunkt zudem einen Totbereich auf, der charakteristisch für schaltende Um-

richter ist [5]. Zu größeren Strömen flacht die Kennlinie ab und wird in diesem Fall ab 7 A konstant.

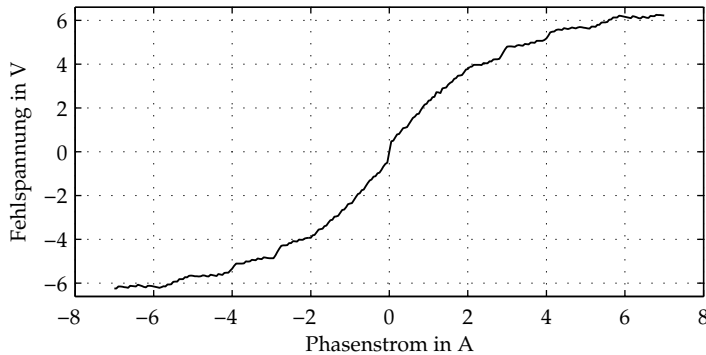


Abb. 3.2: Fehlspannung eines Umrichters

In dem konstanten Bereich dominiert die Wirkung der Totzeiten die Fehlspannung [18]. Diese nichtlineare Kennlinie führt zu erheblichen Verzerrungen in den Ausgangsspannungen des Umrichters und beeinflusst dadurch unter anderem den drehmomentbildenden Strom in der Maschine negativ. Zusätzlich sind die Identifikation von Maschinenparametern und drehgeberlose Regelungen betroffen [5].

Zur Kompensation der Fehlspannung wird häufig die vorab identifizierte Kennlinie aus Gleichung (3.1) verwendet. In [18] wird vorgeschlagen, die Fehlspannungs-Kennlinie mit gemessenen Strömen zu berechnen und die gewonnenen Kompensationsspannungen auf die Soll-Spannungen zu addieren. Dieses Verfahren liefert bereits eine gute Kompensation. Durch die Rückführung der Ist-Werte über eine nichtlineare Kennlinie besteht allerdings die Gefahr einer Mitkopplung bei Abweichungen der identifizierten Kennlinie von der idealen Kennlinie [18]. Dieses Problem tritt verstärkt bei Maschinen mit geringem Statorwiderstand auf. Ein überlagerter Stromregler stabilisiert zwar eine auftretende Mitkopplung, dieser ist allerdings für Identifikationsversuche meist nicht verfügbar [18]. Ein anderer Ansatz wird in [19] verfolgt. Die Fehlspannung wird hier anhand der Strom-Sollwerte berechnet. Dies führt zu einer

besseren Kompensation und vermeidet die Stabilitätsprobleme. Eine weitere Verbesserung wird in beiden Fällen durch eine Winkelvordrehung $\Delta\varepsilon$ des Stromraumzeigers auf Basis der Umrichtertotzeit T_u und der elektrischen Kreisfrequenz w_{el} erzielt [19].

$$\Delta\varepsilon = w_{el}T_u \quad (3.2)$$

Diese Maßnahmen sind insbesondere bei kleiner Maschinenimpedanz von Bedeutung [19].

Modellbasierte Ansätze bieten eine weitere Möglichkeit zur Kompensation des nicht idealen Verhaltens des Umrichters. In [91] wird ein Modell der Leistungshalbleiter genutzt, um aus den gemessenen Strömen die Spannung der Phasenpotentiale zu schätzen. Anhand dieser Schätzwerte findet eine Korrektur der Soll-Spannungen statt. Ein ähnlicher Ansatz verwendet statt eines Halbleiter-Modells ein Modell der elektrischen Maschine. In [92] werden die gemessenen Ströme einer PMSM in die entsprechende Ständergleichung eingesetzt, um Kompensationswerte für die Soll-Spannungen zu gewinnen. Alle Kompensationsverfahren im Sinne einer Steuerung benötigen Modelle oder vorab identifizierte Kennlinien zur Kompensation der Umrichter-Nichtlinearität. Insbesondere der Totbereich der Fehlspannungskennlinie im Stromnulldurchgang ist aufgrund der hohen Steigung der Kennlinie schwer zu kompensieren.

Neben der nichtlinearen Spannungsverzerrung weist der Frequenzumrichter durch die PWM-Taktung auch ein nichtlineares zeitliches Verhalten auf. Eine PWM ist eine nichtlineare Operation, da sich mit dem PWM-Sollwert die zeitliche Gestalt der PWM-Signale ändert [77]. Eine Modellierung als Halteglied liefert dennoch eine gute Näherung des Verhaltens [5,18]. Die zeitliche Ablaufsteuerung der PWM bestimmt das dynamische Verhalten des Halteglieds. Sie wird in dem Kapitel 3.3.4 näher erläutert. Für den Fall, dass genau eine Aktualisierung der Soll-Spannungen pro PWM Periode T_{PWM} stattfindet, ergibt sich folgende Übertragungsfunk-

tion des Halteglieds für das dynamische Verhalten der Soll-Spannung zur Ist-Spannung [18]:

$$G_h(s) = \frac{1 - e^{-s \cdot T_{PWM}}}{s \cdot T_{PWM}}. \quad (3.3)$$

Eine zweimalige Aktualisierung der Soll-Spannungen pro Periode führt zu einem Übertragungsverhalten mit

$$G_{h,2}(s) = \frac{1 - e^{-s \cdot 0.5 T_{PWM}}}{s \cdot 0.5 T_{PWM}}. \quad (3.4)$$

Der Frequenzgang [18] von Gleichung (3.3) lautet

$$G_h(j\omega) = \frac{1 - e^{-j\omega T_{PWM}}}{j\omega T_{PWM}} \quad (3.5)$$

$$= \frac{1 - \cos(\omega T_{PWM}) + j \sin(\omega T_{PWM})}{j\omega T_{PWM}}. \quad (3.6)$$

Mit einer Aufspaltung in Real- und Imaginärteil folgen der Betrags- und Phasenverlauf nach [18] zu

$$|G_h(j\omega)| = \sqrt{\left(\frac{\sin(\omega T_{PWM})}{\omega T_{PWM}}\right)^2 + \left(\frac{1 - \cos(\omega T_{PWM})}{\omega T_{PWM}}\right)^2} \quad (3.7)$$

$$\phi(j\omega) = \arctan\left(\frac{-(1 - \cos(\omega T_{PWM}))}{\sin(\omega T_{PWM})}\right) = -\frac{\omega T_{PWM}}{2}. \quad (3.8)$$

Das entsprechende Bode-Diagramm für $T_{PWM} = 62,5 \mu s$ zeigt Abbildung 3.3. Für niedrige Frequenzen kann das Halteglied in guter Näherung als Laufzeitglied G_t beschrieben werden, da es in diesem Bereich einen nahezu konstanten Betragsverlauf und einen linearen Phasenverlauf aufweist [18].

$$G_t = e^{-s \cdot T_{PWM}/2} \approx G_h \quad (3.9)$$

Für die gesamte Umrichterndynamik muss noch die Rechenzeit T_r des Re-

gelgesetzes berücksichtigt werden. Die Rechenzeit beträgt üblicherweise eine ganze oder halbe PWM-Periode und wird als Laufzeitglied modelliert.

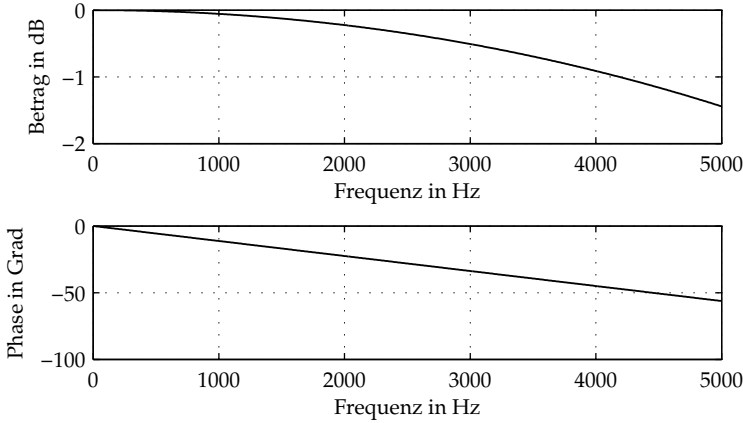


Abb. 3.3: Bode-Diagramm eines Halteglieds für 16 kHz PWM-Frequenz

Es sind allerdings auch deutlich kürzere Rechenzeiten möglich; einen guten Überblick über verschiedene zeitliche Ablaufsteuerungen bieten [5,12]. Die gesamte Umrichterdynamik wird durch ein Laufzeit-Glied mit der Totzeit T_u angenähert.

$$T_u = \frac{T_{PWM}}{2} + T_r. \quad (3.10)$$

Die beschriebene Dynamik des Umrichters in Kombination mit der Parameterabhängigkeit der Fehlspannungskompensation zeigt die Problematik einer effektiven Linearisierung des Umrichters im Falle einer Spannungssteuerung.

3.2 Spannungsregelung

Mit zusätzlicher Sensorik zur Erfassung der Phasenpotentiale ist eine Spannungsregelung möglich. Eine Regelung bietet die Chance, die auf-

tretenden Fehlspannungen im Betrieb ohne Modelle oder Kennlinien auszuregulieren. Einfache binäre Sensorik zur Erfassung der Schaltvorgänge in Form eines Optokopplers bzw. Komparators ermöglicht die Kompensation der Totzeit-bedingten Fehlspannung durch entsprechende Verschiebung der Schaltflanken [93]. Eine echte Spannungsregelung ist allerdings erst mit Analog-Digital-Umsetzern möglich, da sie auch den Amplitudenverlauf der Phasenpotentiale messen. Hier werden $\Delta\Sigma$ -ADUs eingesetzt, da sie durch den digitalen Bitstrom eine einfache galvanische Trennung ermöglichen und hohe effektive Auflösungen bieten. Der Aufbau der verwendeten Spannungsregelung ist in Abbildung 3.4 schematisch für eine Phase dargestellt, für die anderen beiden Phasen ergibt sich die gleiche Umsetzung.

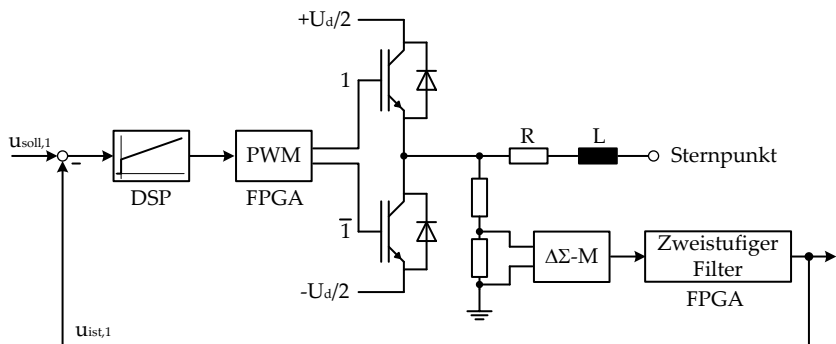


Abb. 3.4: Vereinfachte Darstellung der Spannungsregelung für eine Phase

Aus Gründen der einfacheren Umsetzung wird der Spannungsregler in einem DSP und die Hardware-nahen Blöcke wie PWM und Bitstrom Filterung in einem FPGA umgesetzt. Der DSP benötigt eine PWM Periode zur Berechnung des Regelgesetzes und es wird einmal pro PWM-Periode der Spannungssollwert aktualisiert. Daraus ergibt sich folgende Umrichter-Totzeit T_u :

$$T_u = \frac{T_{PWM}}{2} + T_r = 1,5 T_{PWM}. \quad (3.11)$$

Die Rückführung der Phasenpotentiale erfolgt mit einem Spannungstei-

ler, dessen Ausgang einem analogen $\Delta\Sigma$ -Modulator zweiter Ordnung zugeführt wird. Die Filterung des Bitstroms erfolgt durch einen zweistufigen Filter, da die blockförmigen Spannungspulse eine gleichgewichtete Impulsantwort erfordern, um den zeitlichen Mittelwert korrekt abzubilden. Die Impulsantwort eines zweistufigen Filters aus Sinc^3 - und Sinc^1 Filtern in Abbildung 2.43 bietet eine gute Näherung der geforderten Impulsantwort. Mit einer Modulator-Abtastfrequenz von $f_s = 16 \text{ MHz}$ und einer Sinc^3 -Dezimierungsrate von $D = 25$ wird über 40 Ausgangswerte gemittelt, um eine Gesamtausgangsdatenrate von genau $f_{PWM} = 16 \text{ kHz}$ zu erhalten. Die Dezimierungsrate D wird nach der Gruppenlaufzeit $T_{filt,k}$ des gesamten Filters ausgelegt, so dass diese betragsmäßig möglichst nah an der Totzeit des Umrichter-Halteglieds liegt [112].

Als Spannungsregler werden PI-Regler eingesetzt, um stationäre Genauigkeit zu erreichen. Da die Fehlspannung hauptsächlich vom Phasenstrom abhängt, wird sie für die Spannungsregelung als unabhängige Störgröße betrachtet. Auf eine analytische Auslegung der PI-Regler wird aufgrund des nichtlinearen Umrichterverhaltens verzichtet. Eine Näherung der Umrichterdynamik und weiterer Verzögerungen in der Strecke durch die analoge Signalaufbereitung und den zweistufigen Filter als PT_1 -Glied und anschließender Pol-Nullstellen Kompensation erweisen sich als nicht zielführend. Stattdessen werden die PI-Regler empirisch nach der Sprungantwort im Bereich der Fehlspannungen ausgelegt.

Abbildung 3.5 zeigt sowohl die Sprungantworten der Spannungsregelung als auch die einer Spannungssteuerung mit Fehlspannungskompensation durch eine Tabelle mit Strom-Istwerten. Die Sprungantwort der Spannungssteuerung ist aufgrund einer nichtidealen Kompensation nicht stationär genau und weist dynamisch ein Totzeit-Verhalten mit zwei PWM-Takten auf. Dies ist mehr als die berechnete Totzeit der Umrichterdynamik $T_u = 1,5 T_{PWM}$, da die Spannungsmessung nur für ganze PWM-Perioden erfolgen kann. Die Sprungantwort des geschlossenen Regelkreises weist ein Einschwingverhalten mit einer Ausregelzeit von ca. acht PWM-Takten auf. Es ergibt sich zwar eine schlechtere Dynamik im Vergleich zur Steuerung, dennoch überzeugt die Regelung durch die stationäre Genauigkeit. Dies wird in folgendem Versuch demons-

triert: Eine Maschine wird durch eine U/f Steuerung mit sinusförmigen Soll-Spannungen beaufschlagt.

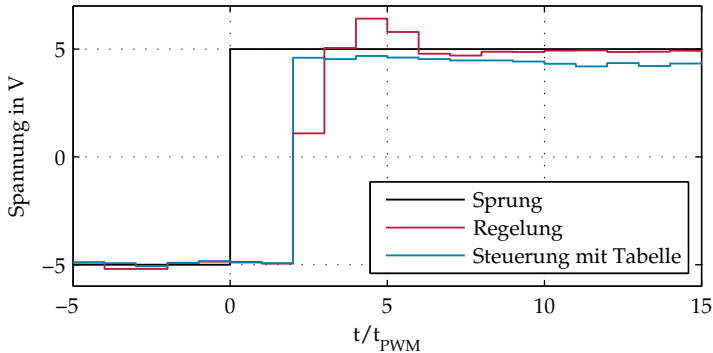


Abb. 3.5: Sprungantworten Spannungsanregung, nach [112]

Abbildung 3.6 zeigt die Ist-Spannungen mitsamt der entsprechenden Fehlspannungen als Abweichung von den Soll-Werten. Sowohl die Spannungssteuerung mit Tabellenkompensation als auch die Regelung unterdrücken die Fehlspannung effektiv. Die Spannungsregelung bietet insbesondere in den kritischen Strom-Nulldurchgängen eine bessere Kompensation als die Steuerung mit Tabellen-Kompensation. Die Amplituden der verbleibenden Fehlspannung der Regelung liegen im Bereich weniger Inkremente der PWM. Für dieses Ergebnis ist eine gute effektive Auflösung der vollständigen Spannungsmesskette notwendig. Aus Messungen nach Kapitel 2.2.4 ergibt sich eine effektive Anzahl von Bits der Spannungsmesskette von 11,5 Bit [112]. In Relation zur Auflösung der PWM

$$\log_2(3125) \approx 11,6 \text{ Bit} \quad (3.12)$$

ist dies ausreichend für eine genaue Spannungsregelung.

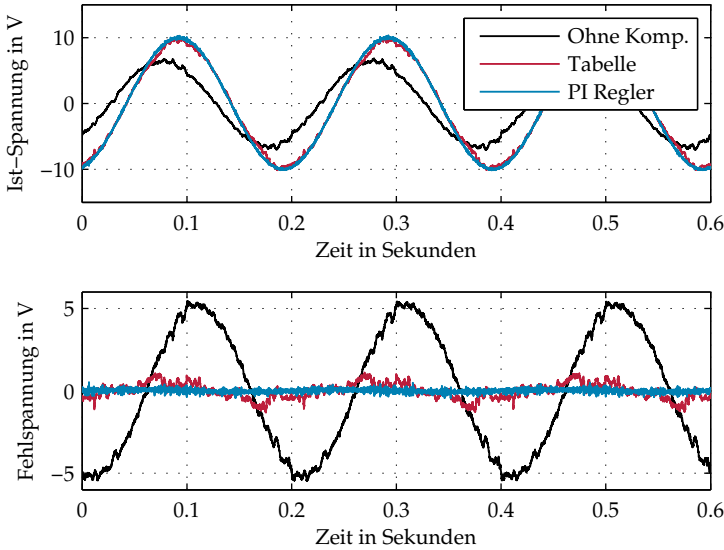


Abb. 3.6: Vergleich Fehlspannungskompensation, nach [112]

3.3 Stromregelung

Die Ausführungen des Kapitels 3.3 basieren im Wesentlichen auf der Veröffentlichung [HNS13]. Absätze oder Abbildungen ohne die Kennzeichnung [HNS13] gehen über den Inhalt der Veröffentlichung [HNS13] hinaus. Die Stromregelung wird mit einer Kompensation der Fehlspannungen durch eine vorab identifizierte Kennlinie betrieben. Es wird keine unterlagerte Spannungsregelung verwendet, um die Dynamik der Stromregelung nicht zu beeinflussen. Im Hinblick auf eine konventionelle Stromregelung mit $\Delta\Sigma$ -ADUs wird im Folgenden die Störunterdrückung und erreichbare Regelkreis-Bandbreite untersucht. Als Basis dient ein typisches elektrisches Antriebssystem in Abbildung 3.7. Die Leistungshalbleiter sind im Unterschied zu Abbildung 3.1 als ideale Schalter vereinfacht. Die Phasenpotentiale u_{p1} , u_{p2} und u_{p3} versorgen eine dreiphasige PMSM mit den Strangspannungen u_{s1} , u_{s2} , u_{s3} und erzeugen die Strangströme i_{s1} , i_{s2} , i_{s3} . Die entsprechenden Strangströme werden von

Kompensations-Halleffekt-Stromsensoren umgewandelt, von analogen $\Delta\Sigma$ -Modulatoren zweiter Ordnung digitalisiert und mit Sinc-Filtern in verschiedener Konfiguration der Stromregelung zugeführt.

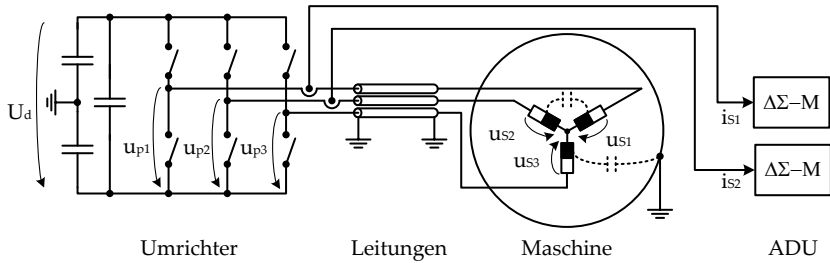


Abb. 3.7: Typisches elektrisches Antriebssystem, nach [HNS13]

Der Strangstrom besteht aufgrund von parasitären Effekten im Antriebssystem aus vier verschiedenen Komponenten [HNS13].

3.3.1 Stromkomponenten

Die erste Komponente stellt die beabsichtigte Grundschiwingung dar, während drei Arten von Störungen dieser überlagert sind [HNS13]. Die wirkungsvolle Unterdrückung dieser Störungen in den Messwerten ist Voraussetzung für eine hohe effektive Auflösung der Ströme. Im stationären idealen Betrieb sind alle Strangströme einer idealen PMSM rein sinusförmig. Ein nichtlineares Modell einer PMSM ist in [94] beschrieben. Abbildung 3.8-1. zeigt das stationäre Ersatzschaltbild einer PMSM [95]. Die Spannung $\overline{u_s}$, der Mittelwert über eine PWM-Periode, erregt den Grundschiwingungsstrom $\overline{i_s}$ in dem Motor [13]. Der schaltende Betrieb des Umrichters, die Pulsweitenmodulation, verursacht harmonische Anteile im Strom. Diese sind unter anderem abhängig von dem verwendeten Modulationsverfahren und der Trägerfrequenz. Hier wird eine Raumzeigermodulation mit einer Trägerfrequenz von 16 kHz verwendet. Die Strangspannungen können als Überlagerung ihres Mittelwertes über

eine PWM Periode und des harmonischen Anteils betrachtet werden [13].

$$u_{s1,h} = u_{s1} - \overline{u_{s1}} \quad (3.13)$$

Die Strangspannungen ergeben sich aus den Phasenpotentialen. Die Gleichung für Phase 1 lautet nach [96]

$$u_{s1} = \frac{1}{3} \cdot (2u_{p1} - u_{p2} - u_{p3}). \quad (3.14)$$

Da die PWM-Trägerfrequenz in der Regel hoch gegenüber der Frequenz der Grundschiwingung des Motors ist, kann das stationäre Ersatzschaltbild zu Abbildung 3.8-2. vereinfacht werden. Der durch die harmonische Spannung $u_{s1,h}$ verursachte Strom wird durch die Streuinduktivität bestimmt und bildet daher einen annähernd dreiecksförmigen Verlauf. Die entstehenden harmonischen Stromanteile sind Vielfache der PWM Trägerfrequenz.

Die Motorwicklungen weisen parasitäre Kapazitäten innerhalb einer Wicklung und zwischen benachbarten Wicklungen auf [HNS13]. Die Effekte des Systems mit verteilten Kapazitäten können in guter Näherung durch das Ersatzschaltbild mit konzentrierten Elementen in Abbildung 3.8-3. beschrieben werden [15]. Die Resonanzfrequenz liegt abhängig von dem PWM-Muster zwischen 30 bis 100 kHz [15].

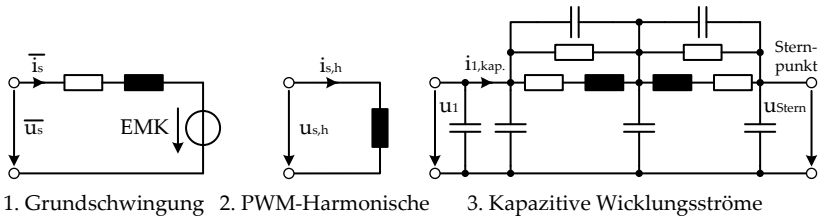


Abb. 3.8: Ersatzschaltbild der Stromkomponenten, 1. nach [95], 3. nach [15]

Die Schaltzeiten der Leistungshalbleiter im Umrichter sind deutlich kürzer als die Ausbreitungszeiten der Wanderwellen auf dem Motorkabel.

Daher führt die Fehlanpassung der Kabelimpedanz bezogen auf die Motor- und Umrichterimpedanz zu Reflexionen. Zusammen mit parasitären Eigenschaften des Antriebssystems ergibt sich ein schwach gedämpftes schwingungsfähiges System mit Resonanzen im MHz Bereich. Abbildung 3.9 zeigt ein Ersatzschaltbild mit konzentrierten Elementen, dessen Simulationsergebnisse gut mit Messungen übereinstimmen [16]. Der letzte Effekt wird als hochfrequente Störung bezeichnet, da die auftretenden Frequenzen mindestens drei Größenordnungen höher sind als die Grundschwingung des Phasenstroms der PMSM [HNS13].

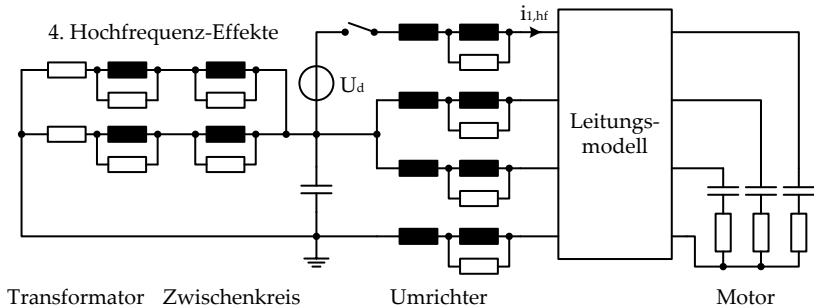


Abb. 3.9: Ersatzschaltbild der hochfrequenten Stromkomponente, nach [16]

3.3.2 Strom-Messkette

Der Trend zu hochdynamischen Stromregelungen erfordert minimale analoge Tiefpassfilter und schnelle Operationsverstärker in der Messkette, um die Dynamik der Stromregelung nicht zu beeinträchtigen. Die Forderung nach einer hohen Grenzfrequenz gilt auch für die Stromsensoren. Durch eine hohe Grenzfrequenz der Sensoren werden allerdings auch die hochfrequenten Störungen erfasst. Kompensations-Halleffekt-Stromsensoren weisen laut Datenblatt, zum Beispiel [87], eine Grenzfrequenz von 200 kHz auf und würden damit die hochfrequenten Störungen teilweise bedämpfen. Eine Messung des Frequenzgangs eines Kompensations-Halleffekt-Stromsensors bis in den MHz Bereich

in Abbildung 3.10 zeigt allerdings deutlich oberhalb von 200 kHz noch Verstärkungen nahe 1.

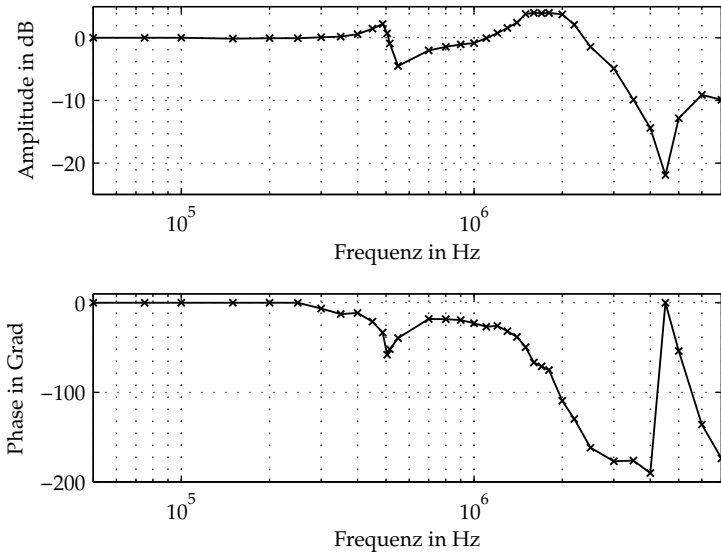


Abb. 3.10: Bode-Diagramm Stromsensor

Durch die hohe Windungsanzahl der Sekundärwicklung im Stromsensor in Verbindung mit internen parasitären Kapazitäten entsteht eine Resonanzstelle bei ca. 500 kHz. Zudem werden Frequenzen zwischen 1,1 MHz und 2,5 MHz sogar noch verstärkt. Die extreme Bandbreite des Stromsensors ist möglich, weil die Kompensation effektiv nur für tiefe Frequenzen unterhalb der Resonanzen aktiv ist, während der Sensor für hohe Frequenzen ein unkompensierter Stromtransformator ist. Als Folge breiten sich auch die hochfrequenten Störungen bis zum $\Delta\Sigma$ -Modulator aus. Durch die Überabtastung des $\Delta\Sigma$ -Modulators ist nur ein geringer Abtastfilter notwendig, so dass dieser die Störungen zum größten Teil digitalisiert. Die Störunterdrückung wird daher durch den digitalen Tiefpassfilter des $\Delta\Sigma$ -ADUs bestimmt.

3.3.3 Störunterdrückung

Die Unterdrückung der Störungen erfordert je nach Störungsart unterschiedliche Maßnahmen [HNS13]. Der Aufwand zur Störunterdrückung der PWM-verursachten Störungen ist am geringsten, da eine Abtastung in den Symmetriepunkten der PWM diese wirkungsvoll unterdrückt [13]. Abbildung 3.11 zeigt eine Raumzeigermodulation mit den Tastverhältnissen 30%, 50% und 80%. Die resultierende harmonische Strangspannung $u_{s1,h}$ erregt den harmonischen Strom $i_{s1,h}$. Dieser ist punktsymmetrisch zu den beiden Symmetriepunkten der PWM und daher ist der Grundschwingungsanteil nur an diesen Punkten ohne Abweichung zu messen. Im Falle eines $\Delta\Sigma$ -ADUs bestimmt die Position des digitalen Filters relativ zur PWM und dessen Impulsantwort die Filterwirkung. Abbildung 3.11 zeigt die Filterausrichtung für zwei verschiedene Impulsantworten, hier allgemein als Filterfenster bezeichnet.

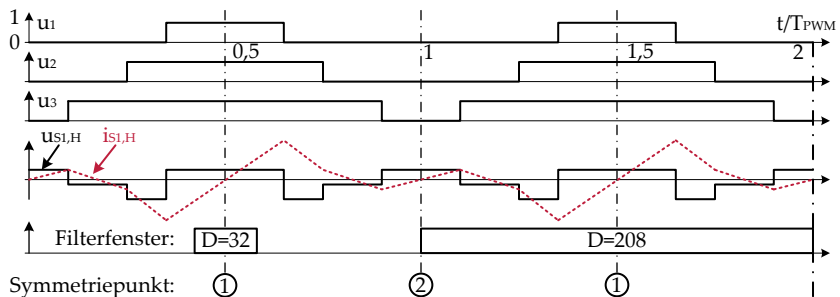


Abb. 3.11: Raumzeigermodulation mit Stromharmonischen und Filterfenster, nach [HNS13]

Für die folgenden Untersuchungen wird eine Abtastfrequenz des $\Delta\Sigma$ -Modulators von $f_s = 10 \text{ MHz}$ und eine PWM Periode von $T_{PWM} = 62,5 \mu\text{s}$ angenommen [HNS13]. Mit den dargestellten Dezimierungsraten von 32 und 208 ergibt sich für einen Sinc^3 -Filter nach Gleichung (2.78) eine kurze Impulsantwort von $9,6 \mu\text{s}$ und eine Impulsantwort, die sich über die ganze PWM-Periode erstreckt. Die kurze Impulsantwort ist, in Anlehnung an die Abtastung im Symmetriepunkt, mit ihrem Schwerpunkt auf den Symmetriepunkt ausgerichtet.

Die hochfrequenten Störungen und die kapazitiven Wicklungsströme werden durch die Spannungsflanken des PWM-Musters erzeugt und verschieben sich daher mit dem PWM-Tastverhältnis [HNS13]. Für den verwendeten elektrischen Antrieb zeigen die hochfrequenten Störungen hohe Amplituden, jedoch geringe Abklingzeiten im $1\ \mu\text{s}$ -Bereich. Die kapazitiven Wicklungsströme hingegen weisen kleinere Amplituden und Abklingzeiten von mehreren $10\ \mu\text{s}$ auf. Bei Nullvektor-Modulation oder kleinen Tastverhältnissen verursachen die kapazitiven Wicklungsströme Abweichungen in der Strommessung im Symmetriepunkt, wohingegen die hochfrequenten Störungen bei einem großen Tastverhältnis aufgrund ihrer hohen Amplitude dominieren. Obwohl diese beiden Störkomponenten nicht zur Drehmomentbildung der Maschine beitragen, verursachen sie Abweichungen der Strommesswerte von dem Grundschwingungsstrom. Dies führt bei einer feldorientierten Stromregelung zu Schwingungen im feld- und drehmomentbildenden Strom [5].

Im Folgenden wird die Stromabweichung, die sich als Überlagerung aller Störungen ergibt, untersucht [HNS13]. Insbesondere die hochfrequenten und kapazitiven Störströme sind nur schwer zu parametrieren, da die Modellparameter von der Bauform des Motors und des elektrischen Aufbaus abhängen. Zudem erschwert die hohe Ordnung der Modelle eine analytische Berechnung. Daher wird eine Simulation mit einem Modellstromsignal i_m durchgeführt, welches durch eine breitbandige Strommessung bei Nullvektortaktung gewonnen wird.

Die Messung mit einer Strommesszange in Abbildung 3.12 zeigt deutlich die unterschiedlichen Resonanzfrequenzen der beiden Störungen. Eine breitbandige Messung am Ausgang des Stromsensors inklusive der Signalaufbereitung liefert einen ähnlichen Verlauf, dessen Maximalwert ein Drittel des Maximalwerts der Messung in Abbildung 3.12 beträgt. Die Störstrommessung an der ganzen Messkette wird um einen vereinfachten PWM-harmonischen Strom, ein Dreieckssignal, und einen konstanten Grundschwingungsanteil zu dem endgültigen Modellstromsignal i_m erweitert. Um den Einfluss der Störungen zu untersuchen, wird das Modellstromsignal an verschiedenen Positionen der PWM Periode mit den

Impulsantworten von Sinc-Filtern erster bis dritter Ordnung gefaltet. Auf diese Weise werden verschiedene Tastverhältnisse simuliert.

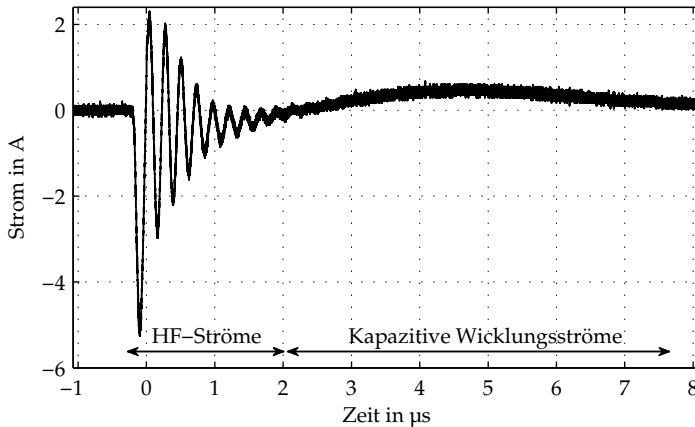


Abb. 3.12: Breitbandige Strommessung mit Strommesszange, nach [HNS13]

Für einen angemessenen Vergleich verschiedener Filterordnungen wird die zeitliche Breite der Impulsantworten über eine Variation der Dezimierungsrate angeglichen [HNS13]. Eine Amplitudenskalierung stellt gleiche Integrale der Impulsantwort-Koeffizienten sicher. Abbildung 3.13 zeigt das Ergebnis der Simulation für ein kurzes Filterfenster bezogen auf die PWM-Periode. Die Ausrichtung der Filterfenster auf den Symmetriepunkt, in Abbildung 3.13 durch Vielfache von $0,5T_{PWM}$ gekennzeichnet, ermöglicht eine Strommessung ohne Abweichungen vom Grundschwingungswert. Dies ist unabhängig von der Ordnung k des Sinc-Filters, denn alle Sinc^k -Impulsantworten weisen eine zeitlich symmetrische Bewertung der Eingangswerte auf. Die Abweichungen bei kleinem zeitlichen Versatz vom Symmetriepunkt skalieren mit den PWM-Harmonischen. Dies zeigt die Relevanz einer korrekten synchronen Abtastung. Schon ein kleiner Versatz zum Beispiel durch Totzeiten in der Übertragung der Schaltersignale führt zu systematischen Fehlern. Für große Tastverhältnisse führen die hochfrequenten und kapazitiven

Störströme zu nennenswerten Abweichungen. Der Sinc^1 -Filter zeigt eine leicht bessere Filterwirkung als die höheren Ordnungen.

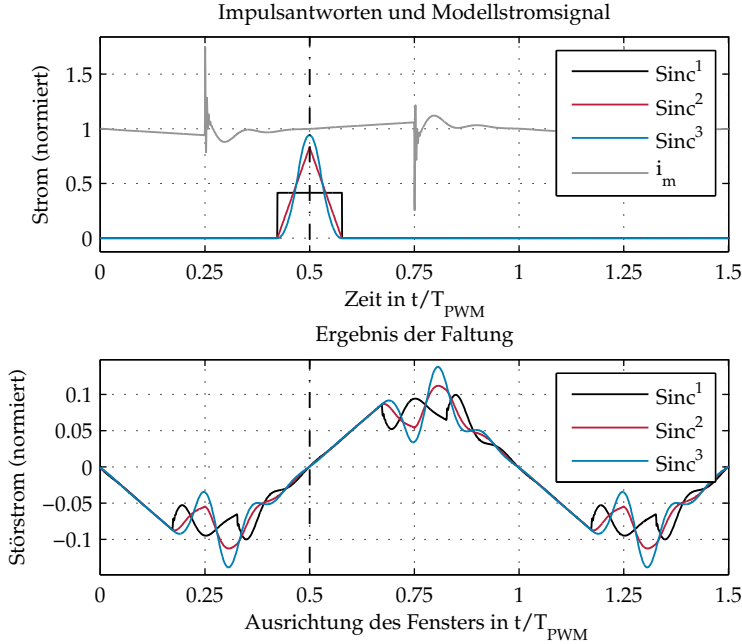


Abb. 3.13: Faltung Modellstromsignal und Impulsantworten für $D = 32$, nach [HNS13]

Das Verhältnis k_{Str} der maximalen Abweichung vom Grundschwungsanteil zum Maximum der hochfrequenten Störung in Bezug auf den Grundschwungsanteil beträgt 18%. Die tatsächlichen Fehler sind deutlich kleiner, da die PWM-Harmonischen Anteile in k_{Str} noch als Fehler enthalten sind. Eine Abtastung im Symmetriepunkt vermeidet Fehler durch die PWM-Harmonischen. Die Simulation in Abbildung 3.14 zeigt, dass Sinc-Filter mit einer Impulsantwort, die sich über eine ganze PWM-Periode erstreckt, eine bessere Filterwirkung bieten [HNS13]. Das Verhältnis k_{Str} beläuft sich auf 7%. Sinc-Filter mit einer Ordnung höher als 1 müssen auf den Symmetriepunkt ausgerichtet sein, um eine Messung ohne Abweichungen zu ermöglichen, während Sinc^1 -Filter für die

gleiche Eigenschaft beliebig zur PWM-Periode ausgerichtet sein dürfen. Dies ist in der gleichgewichteten Mittelwertbildung der Sinc^1 -Filter und einem ideal symmetrischen Modellstromsignal begründet.

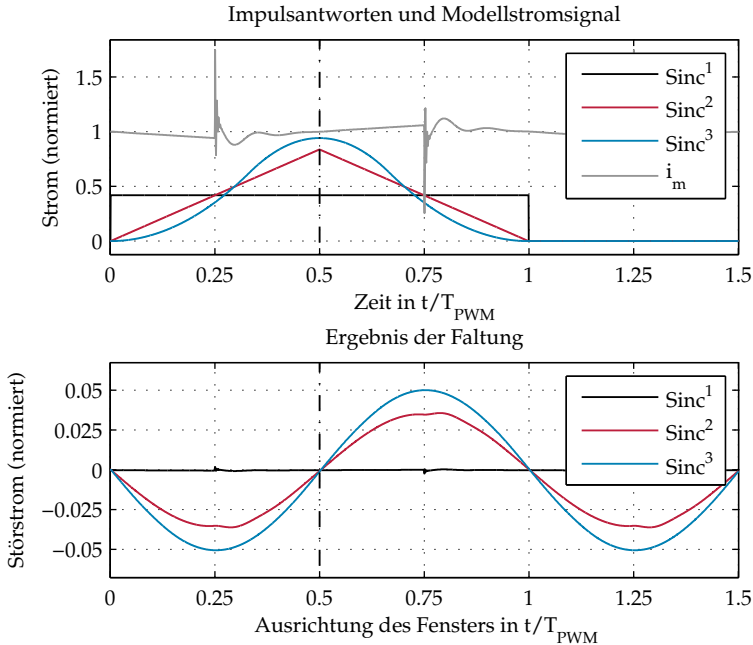


Abb. 3.14: Faltung Modellstromsignal und Impulsantworten für $D = 208$

In der Praxis führen Asymmetrien in den Stromstörungen zwar zu schlechteren Eigenschaften, eine gleichgewichtete Mittelwertbildung stellt allerdings trotzdem die erste Wahl bei einem beliebig ausrichtbarem Filterfenster über eine PWM-Periode dar [HNS13]. In der Praxis kann für den verwendeten $\Delta\Sigma$ -Modulator zweiter Ordnung allerdings nur der zweistufige Filter aus Kapitel 2.3.2 mit der nahezu gleichgewichteten Impulsantwort verwendet werden. Im Folgenden wird eine Sinc^3 - Sinc^1 -Kaskade mit einer Sinc^3 -Dezimierung von 25 eingesetzt. Der Filter wird durch eine effektive Dezimierung von 73 charakterisiert, die sich aus der Umrechnung der Verstärkung der Filterkaskade auf einen einstufigen Sinc^3 -Filter ergibt.

Die Störunterdrückung wird auf zwei verschiedene Arten experimentell untersucht. In Anlehnung an die beschriebenen Simulationen wird der Schwerpunkt eines Sinc^3 -Filters bei Nullvektortaktung über der ganzen PWM-Periode verschoben. Der Mittelwert der gemessenen Störströme bei verschiedenen Dezimierungen ist in Abbildung 3.15 aufgetragen. Durch die Nullvektortaktung entstehen keine PWM-harmonischen Ströme. Der Versuch zeigt, dass eine breitere Impulsantwort eine bessere Störunterdrückung bietet und die Störung bei einem hohen PWM-Aussteuergrad am größten ist.

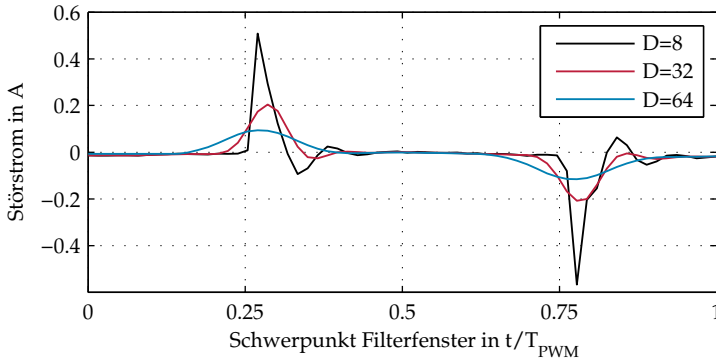


Abb. 3.15: Messung des Störstroms bei Verschiebung des Filterfensters

Eine weitere Möglichkeit zur Beurteilung der Störunterdrückung ist durch die effektive Auflösung oder den SNR gegeben [HNS13]. Eine stationäre Messung mit Gleichgrößen wie in Kapitel 2.2.4 bei Nullvektortaktung stellt die erste Möglichkeit zur Berechnung des SNRs dar. Hochfrequente und kapazitive Störströme werden hierbei allerdings nicht berücksichtigt. Die Beurteilung von ADUs über eine rein sinusförmige Anregung [65] als dynamische Messung stellt grundsätzlich eine Alternative dar. Allerdings bewertet eine reine Sinusanregung eines ADUs zwar dessen SNR und dessen Verzerrungen, vernachlässigt jedoch die zu untersuchenden Störungen im Antriebssystem. Daher wird ein Messaufbau zur Erzeugung eines annähernd sinusförmigen Phasenstroms mit überlagerten Störungen entworfen. Eine PMSM wird

mit einer rotororientierten Regelung mit feldbildendem Strom, der d-Achse, und drehmomentbildendem Strom, der q-Achse, geregelt [95]. Eine d-Achsen Stromregelung mit Messwerterfassung eines abtastenden ADUs wird mit einem sinusförmigen Sollwert beaufschlagt. Die Stromregelung erfolgt an einem festgebremsten Motor. Parallel wird der Phasenstrom von einem $\Delta\Sigma$ -ADU mit unterschiedlicher Dezimierung gemessen. Die Zwischenkreisspannung wird herabgesetzt, um den Motor auch im Stillstand mit nahezu Vollaussteuerung betreiben zu können. Die SNR Berechnung erfolgt nach [60] mit der manuellen Auswertung der FFT ohne Berücksichtigung von Verzerrungen. Abbildung 3.16 zeigt die Ergebnisse der entsprechenden Messungen mit der effektiven Anzahl an Bits des abtastenden ADUs, eines Flash-ADUs, als Referenz. Als Testsignal wird für die stationäre Messung ein Gleichsignal und für die dynamische Messung ein sinusförmiges Signal verwendet. Für die Ermittlung des Referenzwertes wird die stationäre Messung durchgeführt.

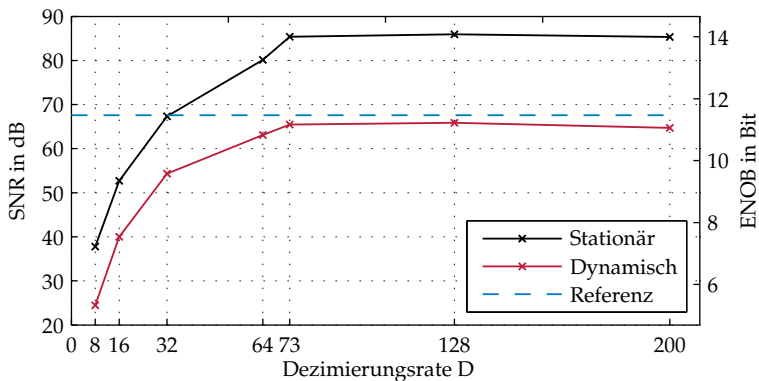


Abb. 3.16: Effektive Auflösung der Strommessung, nach [HNS13]

Beide Methoden zeigen die gleiche Abhängigkeit von der Dezimierungsrate [HNS13]. Der $\Delta\Sigma$ -ADU übertrifft den abtastenden ADU für Dezimierungsraten größer als 32. Die dynamische Messanordnung offenbart eine schlechtere effektive Auflösung. Dies liegt zum einen an einem kleineren Sollwert (-10 dB) aufgrund thermischer Beschränkungen und zum ande-

ren an dem Einfluss der hochfrequenten und kapazitiven Störströme. Ab D_{eff} gleich 73, der Sinc³-Sinc¹-Kaskade, ist keine Steigerung der effektiven Auflösung mehr möglich. Mit einem maximalen SNR von 89 dB, laut Datenblatt [86], stellt der verwendete $\Delta\Sigma$ -Modulator in diesem Bereich den begrenzenden Faktor dar. Insgesamt stützt diese Messung das Ergebnis der Simulation, dass die Sinc-Filter auch für große Tastverhältnisse eine effiziente Störunterdrückung bieten.

3.3.4 Dynamik der Stromregelung

Die Dynamik der Stromregelung bestimmt die Dynamik der Reglerkaskade aus Lage- und Drehzahlregler [HNS13]. Der digitale Filter im $\Delta\Sigma$ -ADU unterdrückt die Störungen im Antriebssystem effizient, beeinträchtigt allerdings auch die Dynamik der Stromregelung. Als Bewertung der Dynamik wird im Folgenden die Grenzfrequenz $f_{g,i}$ der Führungsübertragungsfunktion des geschlossenen Stromregelkreises verwendet. Eine analytische Lösung in der Literatur [12, 97] addiert alle Totzeiten unter anderem Rechenzeit, PWM-Halteglied und Gruppenlaufzeit (GLZ) der Sinc-Filter im Stromregelkreis zu einer effektiven Totzeit T_{eff} auf. Der Stromregler wird kontinuierlich ausgelegt und es ergibt sich folgende Grenzfrequenz [97] für eine Dämpfung von $\frac{1}{\sqrt{2}}$:

$$\omega_{g,i} = 2\pi f_{g,i} = \frac{1,15}{T_{\text{eff}}}. \quad (3.15)$$

Zur Überprüfung dieses Zusammenhangs werden Frequenzgangsmessungen mit verschiedenen Dezimierungsraten D der Sinc³-Filter durchgeführt. Die Dynamik eines Stromregelkreises hängt wesentlich von der zeitlichen Ablaufsteuerung von Messung, Regeltakt und PWM-Takt sowie der vorgegebenen Dämpfung des Regelkreises ab. Als Basis der Ablaufsteuerung wird die Rechenstrategie 1 nach [5] für abtastende ADUs verwendet. Es wird einmal pro PWM-Periode ein neuer Sollwert gestellt und die Rechenzeit zur Berechnung des Stromreglers beträgt zwischen einer halben und einer ganzen PWM-Periode. In Abbildung 3.17 sind die drei verwendeten Ablaufsteuerungen für

eine $\Delta\Sigma$ -Stromregelung skizziert. Die Kombination aus DSP und FPGA ermöglicht es, dem DSP-Stromregler, nach dem Zeitpunkt der Ausgabe der PWM-Werte des letzten Regeltakts, neue Ist-Werte zuzuführen. Dies erlaubt es, die Impulsantworten für Dezimierungsraten zwischen 8 und 64, trotz deren zeitlicher Ausdehnung, symmetrisch auf den ersten Symmetriepunkt auszurichten. Dies ist in Variante A in Abbildung 3.17 gezeigt.

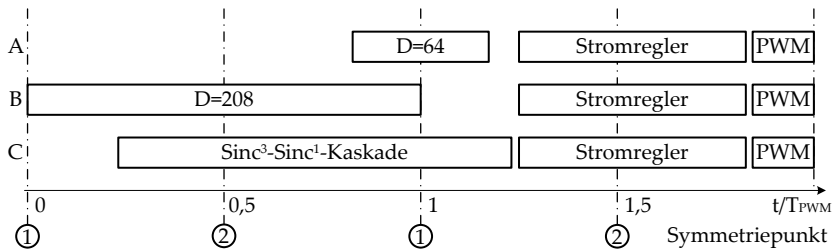


Abb. 3.17: Zeitliche Ablaufsteuerung einer $\Delta\Sigma$ -ADU Stromregelung

Die Referenz, eine Stromregelung mit abtastenden ADUs, misst auch im Symmetriepunkt 1. Die Impulsantworten für 128 und 200 erfordern eine symmetrische Ausrichtung auf Symmetriepunkt 2 nach Variante B, um die Filterausgangswerte direkt im nächsten Regeltakt zu berücksichtigen. Ein Sonderfall stellt die Sinc³-Sinc¹-Kaskade nach Variante C dar. Da die Filterkaskade, mit einem Filterfenster über eine PWM-Periode, beliebig zum PWM-Muster ausgerichtet werden kann, wird der Filter gegenüber Variante B so verschoben, dass die Messwerte erst kurz vor Ausführung des Stromreglers bereitstehen.

Um von der kontinuierlichen Auslegung der Stromregler über eine effektive Totzeit wie in [12, 97] unabhängig zu sein, werden die Stromregler über die Sprungantwort des geschlossenen Kreises manuell auf eine Dämpfung von $\frac{1}{\sqrt{2}}$ ausgelegt [HNS13]. Abbildung 3.18 zeigt den gemessenen Zusammenhang zwischen Grenzfrequenz und Dezimierungsrate sowie die analytische Berechnung der Grenzfrequenz nach Gleichung (3.15). In Tabelle 3.1 ist die zugehörige effektive Totzeit mit

den Parametern nach Tabelle 3.2 für die drei Varianten der zeitlichen Ablaufsteuerung aufgelistet.

Die Messungen zeigen, dass für eine Ausrichtung des Filterfensters auf den ersten Symmetriepunkt die Grenzfrequenz nahezu unabhängig von der Dezimierungsrate und vergleichbar mit dem Referenzwert ist [HNS13]. Auch bei einer Ausrichtung auf den zweiten Symmetriepunkt wird eine nahezu konstante Grenzfrequenz erzielt.

Tabelle 3.1: Effektive Totzeiten verschiedener zeitlicher Abläufe

Variante	Schwerpunkt	T_{eff}
A	1. Symmetriepunkt	$T_u + T_{filt}(D)$
B	2. Symmetriepunkt	$T_u + T_{filt}(D) + T_{fenster}$
C	2. Symmetriepunkt $-\Delta T$	$T_u + T_{filt,K} + T_{fenster}$

Tabelle 3.2: Parameter der effektiven Totzeiten

Par.	Bedeutung	Gleichung
T_u	Umrichtertotzeit	$1,5 \cdot T_{PWM}$
T_{filt}	GLZ Sinc-Filter	$T_{filt} = 0,5 \cdot kT_s(D - 1)$
$T_{filt,k}$	GLZ Kaskade	$T_{filt,k} = 0,5 \cdot T_s \left(\left(\frac{f_s}{f_{PWM}} + 2D \right) - 3 \right)$
ΔT	Verschiebung Schwerpunkt des Filterfensters	
$T_{fenster}$	Abstand Schwerpunkt Filterfenster und Symmetriepunkt 1	

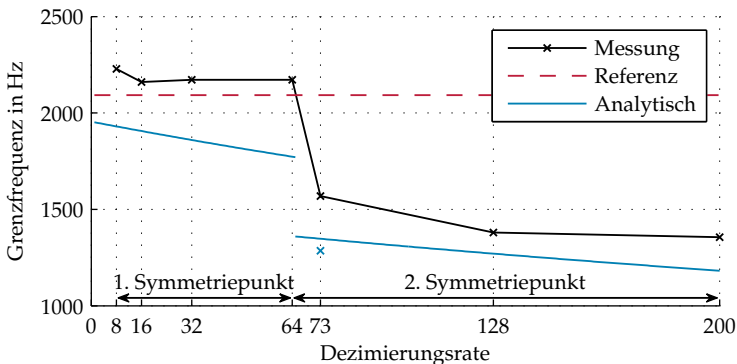


Abb. 3.18: Grenzfrequenz einer konventionellen $\Delta\Sigma$ -Stromregelung, nach [HNS13]

Der Mittelwert bei Ausrichtung auf den zweiten Symmetriepunkt ist allerdings deutlich geringer als der Mittelwert bei Ausrichtung auf den ersten Symmetriepunkt [HNS13]. Die analytische Lösung zeigt zwar einen ähnlichen Trend, das heißt ein Abfallen der Grenzfrequenz über der Dezimierungsrate, sie weicht allerdings in einigen Bereichen stark von den gemessenen Werten ab. Dieser Unterschied ist in dem Multiraten-System der Stromregelung mit DS-ADUs begründet. Abbildung 3.19 zeigt die entscheidenden Signale mit ihrer Abtastrate.

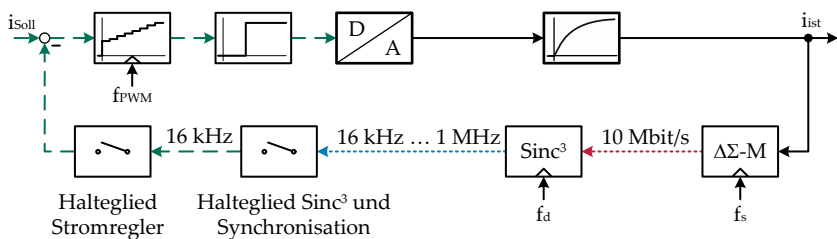


Abb. 3.19: Multiraten $\Delta\Sigma$ -ADU Stromregelung, nach [HNS13]

Die Sinc^3 -Filter mit der Ausgangsfrequenz f_d können mit einer beliebigen Phasenlage zu dem Bitstrom mit der Taktrate f_s des $\Delta\Sigma$ -Modulators ausgerichtet sein [HNS13]. Ein Halteglied sorgt für die Synchronisation der Filterausgangswerte entsprechend der Varianten aus Abbildung 3.17. Das zweite Halteglied markiert die Ausführung des Stromreglers und das Halten der Ist-Werte. Dieses Ersatzschaltbild zeigt, dass die Ausrichtung der Impulsantworten und damit der zeitliche Abstand der beiden Halteglieder einen viel größeren Einfluss auf die Grenzfrequenz hat als die Gruppenlaufzeit der Filter. Eine symmetrische Ausrichtung auf einen Symmetriepunkt führt daher zu nahezu konstanten Grenzfrequenzen, solange der Schwerpunkt des Filterfensters und der Zeitpunkt der Ausführung des Stromreglers den gleichen zeitlichen Abstand aufweisen. Die Sinc^3 - Sinc^1 -Kaskade stellt eine Besonderheit dar, denn durch die beliebige Ausrichtung der Impulsantwort zur PWM können die beiden Halteglieder zusammenfallen. Daher ergibt sich eine höhere Grenzfrequenz als bei einem Sinc^3 -Filter über eine PWM-Periode.

3.3.5 Implementierung der Sinc-Filter

Die Untersuchungen zur Störunterdrückung und Dynamik der Stromregelung zeigen die besondere Bedeutung der zeitlichen Ablaufsteuerung auf. Eine phasenstarre Ausrichtung der Filter-Impulsantworten in Bezug zur PWM ist essentiell zur effizienten Störunterdrückung und zur Erzielung der Dynamik in Abbildung 3.18. Im Folgenden werden zwei verschiedene geeignete Verfahren zur Implementierung der Sinc-Filter vorgestellt.

Aus der Analyse der Störkomponenten im Antriebssystem folgt, dass entweder der Schwerpunkt eines Filterfensters auf einen Symmetriepunkt ausgerichtet sein muss oder eine Mittelung über ein Vielfaches der halben PWM-Periode erforderlich ist. Für den ersten Fall, eine Ausrichtung des Filter-Schwerpunktes auf einen Symmetriepunkt mit einer Länge der Filter-Impulsantwort, die ungleich einer Vielfachen der halben PWM-Periode ist, wird die Implementierung nach [14] verwendet. Dabei werden die Sinc^k-Filter durch einen Reset-Eingang gestoppt und erst zu einem frei wählbarem Zeitpunkt im Raster des Bitstroms gestartet. Auf diese Weise ist eine Synchronisierung zur PWM und eine Ausrichtung auf den Symmetriepunkt möglich. Nach k-facher Ausführung der Differenzierer im dezimierten Takt f_d wird der Filter wieder gestoppt und der Ausgangswert ist gültig. Für zeitliche Ablaufsteuerungen nach Abbildung 3.17 A/B ist auf diese Weise die Breite des Filterfensters nach

$$T_{filt} = T_{impuls} = T_s D k \quad (3.16)$$

mit der Abtastung T_s des $\Delta\Sigma$ -Modulators fein verstellbar. Gleiches gilt für den Startpunkt des Filterfensters, so dass eine genaue phasenstarre symmetrische Ausrichtung auf den PWM-Symmetriepunkt möglich ist.

Für den zweiten Fall, eine Mittelung über genau ein Vielfaches n_1 einer halben PWM Periode, erfordert die Implementierung nach [14], dass

$$T_{filt} = T_s D k = n_1 \cdot \frac{T_{PWM}}{2}, \text{ mit } n_1, D \in \mathbb{N}^+ \quad (3.17)$$

gilt. Für die Dezimierungsrate folgt daraus

$$D = \frac{1}{k} \cdot \frac{f_s n_1}{2 f_{PWM}}, \text{ mit } D \in \mathbb{N}^+. \quad (3.18)$$

Zudem muss die Taktung des $\Delta\Sigma$ -Modulators und der internen Filter- und PWM-Module aus der gleichen Taktquelle erfolgen, um Fehler durch Drift und Jitter auszuschließen. In dem Versuchsstand wird der $\Delta\Sigma$ -Modulator-Takt f_s durch eine PLL aus einem externen Quarz erzeugt. Dies schränkt den Parameterraum von f_s erheblich ein und lässt Gleichung (3.18) nur für sehr wenige Kombinationen aus Filterordnung, Modulator- und PWM-Frequenz zutreffen.

In dieser Arbeit wird daher für den zweiten Fall, eine Mittelung über n_1 halbe PWM Perioden, eine andere Implementierung angewendet. Die Sinc-Filter werden nicht gestoppt, sondern liefern kontinuierlich Ausgangswerte. Um in n_1 -Vielfachen der halben PWM-Periode eine konstante Anzahl n_2 von Sinc-Filter-Ausgangswerten zu erhalten, muss die folgende Bedingung erfüllt sein:

$$f_d = \frac{f_s}{D} = n_2 \cdot \frac{2 f_{PWM}}{n_1}, \text{ mit } n_1, n_2, D \in \mathbb{N}^+. \quad (3.19)$$

Daraus ergibt sich eine konstante Phasenlage zur PWM. Für die Dezimierungsrate gilt

$$D = \frac{1}{n_2} \cdot \frac{f_s n_1}{2 f_{PWM}}, \text{ mit } D \in \mathbb{N}^+. \quad (3.20)$$

Diese Gleichung ist wesentlich einfacher mit dem beschränkten Parametersatz von f_s zu erfüllen, da n_2 deutlich freier variiert werden kann. Insbesondere der, aus Leistungsgründen interessante, Betrieb mit dem höchsten $\Delta\Sigma$ -Modulator-Takt von 16 MHz ist im Gegensatz zu

Gleichung (3.17) mit einer Vielzahl von Dezimierungsraten zu erfüllen. Eine anschließende Verknüpfung mit einem Mittelwertbildner über $n_2 = M$ Sinc-Filter-Ausgangswerte liefert die nahezu gleichgewichtete Impulsantwort aus Kapitel 2.3.2.

In [85] wird die Filterkaskade durch einen einstufigen Filter mit abgespeicherten Koeffizienten der Impulsantwort umgesetzt.

4 Delta-Sigma-Signalverarbeitung

Die bisherigen Ergebnisse einer konventionellen $\Delta\Sigma$ -Regelung zeigen, dass durch den Einsatz von $\Delta\Sigma$ -ADUs präzise Spannungs- und Stromregelungen erreicht werden können. Allerdings begrenzen Totzeiten wie Rechenzeiten oder die Gruppenlaufzeit der digitalen Tiefpassfilter die erreichbare Kleinsignalbandbreite. Dies wurde anhand der konventionellen Spannungs- und Stromregelung demonstriert. Die DSSV führt Operationen direkt auf den hochfrequenten Bitströmen durch und ermöglicht auf diese Weise einen Verzicht auf den digitalen Tiefpassfilter. Diese Signalverarbeitung ist ein Hybrid aus analoger und digitaler Signalverarbeitung. Die folgenden Ausführungen dieses Kapitels basieren im Wesentlichen auf der Veröffentlichung [HKKS16]. Absätze oder Abbildungen ohne die Kennzeichnung [HKKS16] gehen über den Inhalt der Veröffentlichung [HKKS16] hinaus.

4.1 Überblick über verschiedene Verfahren

Zur Umsetzung von linearen regelungstechnischen Systemen sind nach der Regelungsnormalform [77] mindestens die Grundoperationen Addition, Skalierung und Integration notwendig [HKKS16]. Im Folgenden werden drei grundlegende Konzepte anhand der Operation Addition kurz vorgestellt. Weitere Konzepte wie Sortiernetzwerke [40] oder der 1-Bit CORDIC Algorithmus [41] werden im Rahmen dieser Arbeit nicht näher untersucht, da sie hohe Laufzeiten aufweisen und daher ungeeignet für den Einsatz in hochdynamischen Regelkreisen sind.

4.1.1 Delta-Addierer

Eines der ersten Verfahren zur direkten Verarbeitung von Bitströmen ist der Delta-Addierer [27]. Ursprünglich für die Verarbeitung von Bitströmen eines Δ -Modulators gedacht, lässt sich dieses Verfahren auch auf $\Delta\Sigma$ -Bitströme [27] anwenden. Der Delta-Addierer besteht aus einem Volladdierer und einer Rückführung über eine einfache Verzögerung wie in Abbildung 4.1 a) dargestellt [HKKS16]. Dies ermöglicht eine einfache Implementierung mit diskreten Logikbausteinen. Nach [27] bildet der Delta-Addierer die Halbsumme des Mittelwertes der beiden Bitströme. Eine Betrachtung dieser Operation mit Hilfe der mittelwert-basierten Beschreibung der Bitströme aus Kapitel 2.2.5 zeigt die Notwendigkeit der Bildung einer Halbsumme. Die normierte Summe der „1“ Bits eines $\Delta\Sigma$ -Modulators mit dem Eingangssignal u lautet

$$b_1 = \frac{1}{2} \cdot \bar{u} + \frac{1}{2}. \quad (4.1)$$

Eine Addition zweier Bitströme mit einer Division durch zwei resultiert in folgender Summe:

$$b_{1,3} = \frac{b_{1,1} + b_{1,2}}{2} = \frac{1}{4} \cdot (\bar{u}_1 + \bar{u}_2) + \frac{1}{2} \quad (4.2)$$

und entspricht damit, außer dem zusätzlichen Faktor 0,5 vor der Summe der Mittelwerte, der allgemeinen Form der Gleichung 4.1. Eine direkte Addition der Bitströme führt dementsprechend zu einer Übersteuerung des Ausgangs, da die konstanten Anteile aus Gleichung (4.1) sich zu 1 addieren würden.

In [98] wird gezeigt, dass eine regelungstechnische Darstellung des rückgekoppelten Volladdierers, wie in Abbildung 4.1 b) gezeigt, möglich ist. Sie offenbart einen $\Delta\Sigma$ -Modulator erster Ordnung mit angepass-

tem Zweipunktglied und angepasster Rückführung [HKKS16]. Das Zweipunktglied hat folgende Gleichung:

$$y = \begin{cases} 1 & \text{für } x \geq 2 \\ 0 & \text{für } x < 2. \end{cases} \quad (4.3)$$

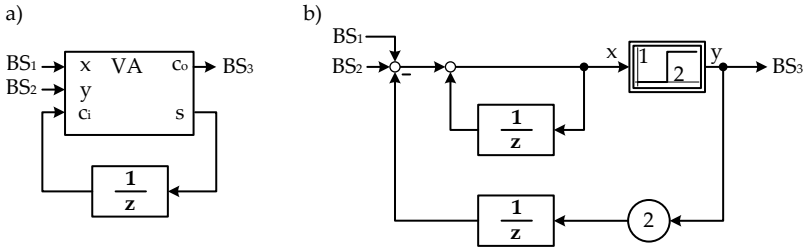


Abb. 4.1: Delta Addierer: Grundprinzip a) und regelungstechnische Darstellung b), nach [HKKS16]

4.1.2 Quantendekodierung

Das Verfahren der Quantendekodierung mit anschließendem internen digitalen $\Delta\Sigma$ -Modulator wurde von Patel in [37] vorgestellt. Die Quantendekodierung bildet den binären Bitstrom auf ein ternäres Signal ab und entkoppelt, wie in Kapitel 2.2.5 beschrieben, den inhärenten Gleichanteil. Die Ordnung des internen $\Delta\Sigma$ -Modulators wurde in [37] zu 1 gewählt. Neben einer geringen Rauschverformung weist dieser auch eine starke Tendenz zu Ruhetönen auf [60], die sich als diskrete Störspitzen im Spektrum des $\Delta\Sigma$ -Modulators äußern. Der Vorteil der zweistufigen Anordnung aus Quantendekodierung und internem $\Delta\Sigma$ -Modulator besteht in der beliebigen Wahl eines internen $\Delta\Sigma$ -Modulators [HKKS16]. Die Steigerung der Ordnung des internen $\Delta\Sigma$ -Modulators unterliegt den in Kapitel 2.2.3 beschriebenen Problemen.

Zum stabilen Betrieb ist eine Auslegung des Modulators mit einem linearisierten Modell notwendig, in der ein Kompromiss zwischen Stabilität und Leistungsfähigkeit gefunden werden muss. Die Untersuchungen

dieser Arbeit beschränken sich auf $\Delta\Sigma$ -Modulatoren zweiter Ordnung, da diese einen guten Kompromiss zwischen Logikverbrauch, Leistungsfähigkeit und stabilem Eingangsbereich darstellen. Der in Abbildung 4.2 gezeigte digitale $\Delta\Sigma$ -Modulator wird nach [74] parametrisiert und weist eine variable Rückführung m auf. Dieser Modulator wird im Folgenden als $\Delta\Sigma\text{-M}(m)$ bezeichnet.

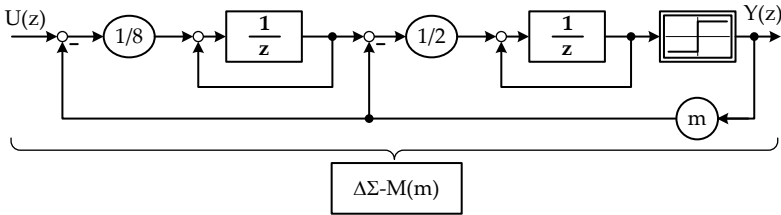


Abb. 4.2: $\Delta\Sigma$ -Modulator zweiter Ordnung

Eine Beurteilung dieses Modulators über den SNDR nach Kapitel 2.2.4 wird in [113] experimentell mit einer OSR von 256 durchgeführt. Abbildung 4.3 zeigt das Ergebnis im Vergleich zu einem $\Delta\Sigma$ -Modulator erster Ordnung.

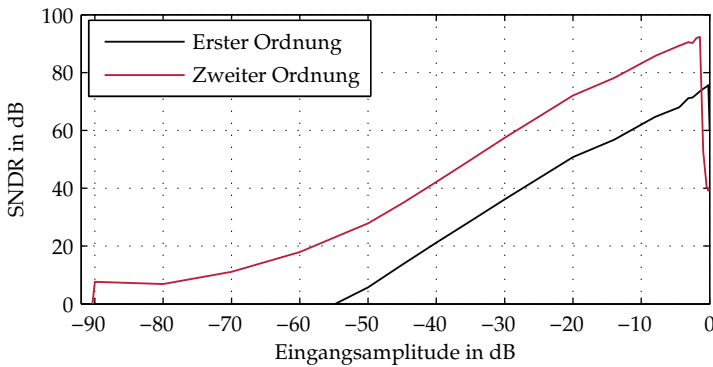


Abb. 4.3: SNDR eines $\Delta\Sigma$ -Modulators erster und zweiter Ordnung (OSR = 256), nach [113]

Auffällig sind der bessere dynamische Bereich von ca. 90 dB, das rund

15 dB bessere SNR-Maximum und ein Übersteuerungspegel von lediglich ca. -1,3 dB. Abbildung 4.4 zeigt die Addition mittels Quantendekodierung und internem $\Delta\Sigma$ -Modulator zweiter Ordnung [HKKS16]. Der Faktor n als Gewichtung der Quanten und der Faktor m als Skalierung des $\Delta\Sigma$ -Modulators bestimmen die Gesamtskalierung der Quanten.

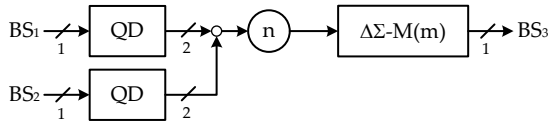


Abb. 4.4: Grundprinzip der Addition mit Quantendekodierung, nach [HKKS16]

Dies kann beispielhaft an einem linearisierten $\Delta\Sigma$ -Modulator erster Ordnung in Abbildung 4.5 gezeigt werden.

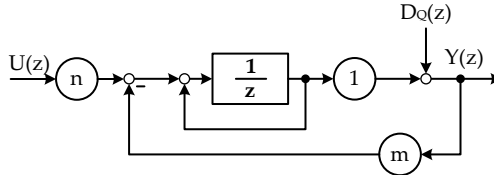


Abb. 4.5: Lineares Modell eines $\Delta\Sigma$ -Modulators mit Skalierung

Die folgende Herleitung basiert auf der Betrachtung der linearen Differenzengleichung eines $\Delta\Sigma$ -Modulators erster Ordnung für unendlich viele Takte nach [60] und wird in [114] für einen $\Delta\Sigma$ -Modulator in Abbildung 4.5 angepasst. Die Stabilität des Modulators wird vorausgesetzt. Aus dem Blockschaltbild in Abbildung 4.5 folgt die Differenzengleichung:

$$y(\nu) = d_q(\nu) - d_q(\nu - 1) + n \cdot u(\nu - 1) + y(\nu - 1) - m \cdot y(\nu - 1). \quad (4.4)$$

Diese wird nun als Teleskopsumme über N Takte geschrieben.

$$y(N) - y(0) + \sum_{\nu=1}^N m \cdot y(\nu - 1) = d_q(N) - d_q(0) + \sum_{\nu=1}^N n \cdot u(\nu - 1) \quad (4.5)$$

Eine Mittelwertbildung über unendlich viele Takte liefert

$$\lim_{N \rightarrow \infty} \frac{y(N) - y(0)}{N} + \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{\nu=1}^N m \cdot y(\nu - 1) = \quad (4.6)$$

$$\lim_{N \rightarrow \infty} \frac{1}{N} \sum_{\nu=1}^N n \cdot u(\nu - 1) + \lim_{N \rightarrow \infty} \frac{d_q(N) - d_q(0)}{N}. \quad (4.7)$$

Da die Wahrscheinlichkeitsdichte des Quantisierungsfehlers beschränkt ist [61] und der Regelkreis laut Voraussetzung stabil ist, gilt

$$\lim_{N \rightarrow \infty} \frac{d_q(N) - d_q(0)}{N} = \lim_{N \rightarrow \infty} \frac{y(N) - y(0)}{N} = 0. \quad (4.8)$$

Der Ausgang y ist nach [114] dementsprechend

$$\bar{y} = \frac{n}{m} \cdot \bar{u}. \quad (4.9)$$

Zusammen mit der Division durch 2 der Quantendekodierung nach Gleichung (2.68) ergibt sich die Verstärkung V aus Quantendekodierung und den Skalierungen n und m .

$$V = \frac{n}{2 \cdot m}, \text{ mit } n, m \in \mathbb{N}^+ \quad (4.10)$$

Für eine Addition ohne Skalierung muss V gleich 1 gewählt werden [HKKS16]. Zur Realisierung einer vorgegebenen Verstärkung sind im Prinzip beliebige natürliche Zahlen für n und m möglich. Die obere Begrenzung ist der Logikverbrauch in der praktischen Implementierung, während je nach verwendetem internen $\Delta\Sigma$ -Modulator aufgrund der Skalierungen und Wortbreite eine untere Grenze für n und m in Abhängigkeit der erwünschten Genauigkeit besteht.

Für den verwendeten $\Delta\Sigma$ -Modulator zweiter Ordnung wird die Verstär-

kung der Skalierungen n und m anhand der Führungsübertragungsfunktion $G_u(z)$ des Regelkreises in Abbildung 4.6 gezeigt.

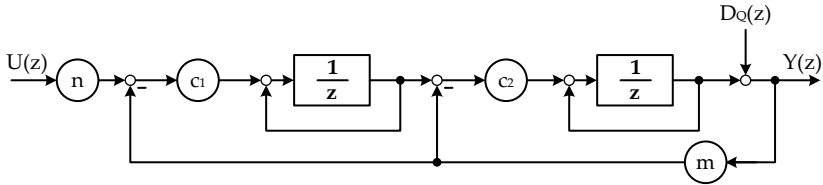


Abb. 4.6: $\Delta\Sigma$ -Modulator zweiter Ordnung mit Skalierung

$$G_u(z) = \frac{nc_1c_2 \cdot \frac{1}{z-1} \cdot \frac{1}{z-1}}{1 + mc_2 \frac{1}{z-1} + mc_1c_2 \frac{1}{z-1} \frac{1}{z-1}} \quad (4.11)$$

$$= \frac{nc_1c_2}{(z-1)^2 + mc_2(z-1) + mc_1c_2} \quad (4.12)$$

Nach dem Grenzwertsatz für die Z-Transformation [77] für eine sprungförmige Anregung gilt

$$\lim_{\nu \rightarrow \infty} G_u(v) = \lim_{z \rightarrow 1} \frac{(z-1)z}{z-1} G_u(z) \quad (4.13)$$

$$= \frac{n}{m}. \quad (4.14)$$

Damit ist die Skalierung der Quanten auch mit dem verwendeten $\Delta\Sigma$ -Modulator zweiter Ordnung möglich.

4.1.3 Bitstrom-Modifikation

Basierend auf der Beschreibung der Bitströme im Zeitbereich mit Mittelwerten in Kapitel 2.2.5 wurde im Rahmen dieser Arbeit die Bitstrom-Modifikation entwickelt. Die Grundidee ist das gezielte Modifizieren von einzelnen Bits, um eine Veränderung des Mittelwertes zu bewir-

ken [HKKS16]. Eine direkte Addition zweier Bitströme ergibt nach Gleichung (2.57) folgende Summe:

$$b_{1,3} = b_{1,1} + b_{1,2} = \frac{1}{2}(\overline{u_1} + \overline{u_2}) + 1. \quad (4.15)$$

Dieses Ergebnis verletzt allerdings die Normierung von b auf 1 durch den Gleichanteil von 1 und führt zu einer Sättigung des Bitstroms. Um den Gleichanteil der allgemeinen Verteilung nach (2.57) zu erreichen, wird von beiden Bitströmen die Konstante 0,25 subtrahiert.

$$b'_{1,3} = b_{1,1} - \frac{1}{4} + b_{1,2} - \frac{1}{4} = \frac{1}{2}(\overline{u_1} + \overline{u_2}) + \frac{1}{2} \quad (4.16)$$

Die Subtraktion einer Konstante $0 < k \leq 1$ lässt sich durch das Umwandeln von einem „1“-Bit in ein „0“-Bit alle $1/k$ Bitstrom-Takte erzielen. Für den Fall, dass der $1/k$ Bitstrom-Takt nicht mit einer „1“ zusammenfällt, speichert ein Akkumulator diese Information. Bei der nächsten „1“ im Bitstrom findet die Modifikation statt.

Die Addition zweier Bitströme verursacht bei zwei „1“-Bits einen Überlauf [HKKS16]. Dieser wird gespeichert und durch eine „0“ zu „1“ Modifikation in den nächsten Takten berücksichtigt. Abbildung 4.7 zeigt das entsprechende Blockschaltbild aus Subtraktion und Addition. Das Zweipunktglied hat die folgende Gleichung:

$$y = \begin{cases} 1 & \text{für } x \geq 1 \\ 0 & \text{für } x < 1. \end{cases} \quad (4.17)$$

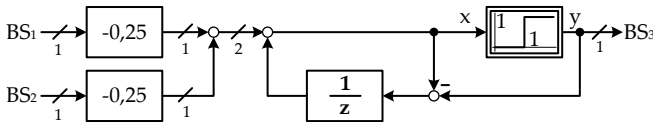


Abb. 4.7: Grundprinzip der Addition mit Bitstrom-Modifikation, nach [HKKS16]

Die beschriebene Addition mit Überlauf ergibt in regelungstechnischer

Darstellung eines $\Delta\Sigma$ -Modulators erster Ordnung in Fehler-Rückführ-Implementierung nach [60].

4.2 Bewertung der Verfahren

Die drei DSSV-Verfahren werden hinsichtlich spektraler Leistungsfähigkeit mit dem SNDR bewertet und als Maß für das dynamische Verhalten wird die Sprungantwort verwendet [HKKS16]. Abbildung 4.8 zeigt den entsprechenden Simulationsaufbau.

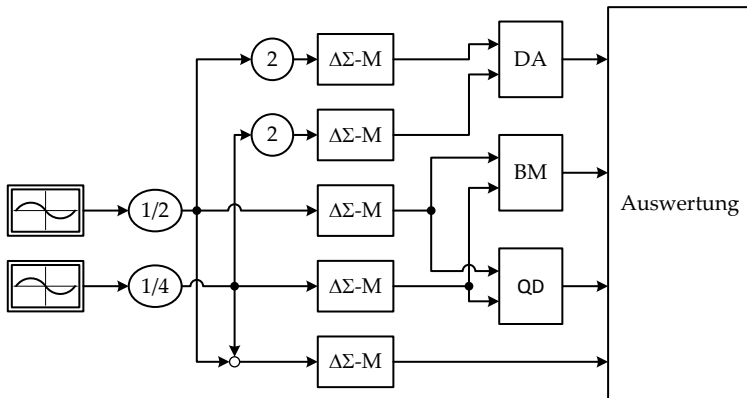


Abb. 4.8: Simulationsaufbau zum Vergleich von Bitstromoperationen, nach [HKKS16]

Als mathematische Operation wird die Addition mit Delta-Addierern (DA), der Quantendekodierung (QD) und der Bitstrom-Modifikation (BM) durchgeführt [HKKS16]. Der Faktor 2 vor den Delta-Addierern kompensiert deren Halbsummen-Operation. Es wird eine Abtastfrequenz der $\Delta\Sigma$ -Modulatoren von $2^{23} \text{ Hz} \approx 8,39 \text{ MHz}$ und eine Sinusanregung mit 128 Hz verwendet, um die FFT-Auswertung zu erleichtern. Als Referenz zu den drei Verfahren findet eine Addition mit parallelen Datenworten und anschließender $\Delta\Sigma$ -Modulation statt. Die $\Delta\Sigma$ -Modulatoren außerhalb der DSSV Operationen sind zweiter Ordnung nach Abbildung 4.2.

Der SNDR bei einer Überabtastrate von 128 ist in Abbildung 4.9 dargestellt [HKKS16]. In Analogie zu Abbildung 4.3 sinkt der SNDR bei abnehmender Signalamplitude. Die Delta-Addierer und die Bitstrom-Modifikation weisen ähnliche Verläufe auf und offenbaren beide einen deutlichen schlechteren SNDR Verlauf als die Quantendekodierung.

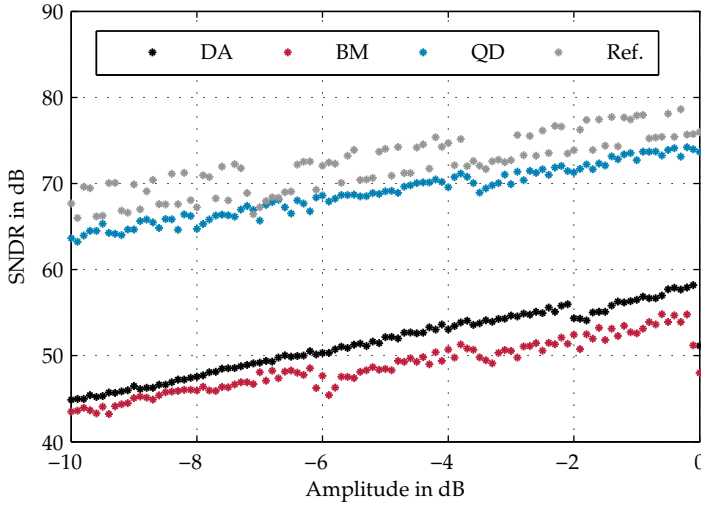


Abb. 4.9: Spektraler Vergleich von DSSV-Additionen, nach [HKKS16]

Die Quantendekodierung erreicht SNDR Werte, die vergleichbar mit der Referenz sind [HKKS16]. Für eine dynamische Bewertung wird die sinusförmige Anregung durch Sprünge von $u = -0,75$ auf $+0,75$ ersetzt. Zur Auswertung der Bitströme werden Sinc³-Filter mit einer Dezimierungsrate von 128 eingesetzt. Die Verzögerungszeit wird relativ zum gefilterten Referenzbitstrom gemessen. Die Tabelle 4.1 zeigt die Anzahl der Takte, bis die Sprungantwort 90% des Endwerts des gefilterten Sprungs erreicht hat.

Tabelle 4.1: Dynamische Bewertung, nach [HKKS16]

DSSV-Operation	DA	BM	QD
Takte Verzögerung	0	1	8

Der Delta-Addierer und die Bitstrom-Modifikation weisen geringe Verzögerungen auf, während die Addition mit Quantendekodierung eine deutliche längere Verzögerung erkennen lässt.

Bezogen auf die spektralen Eigenschaften stellt die Quantendekodierung mit Abstand das beste Verfahren dar [HKKS16]. Allerdings ist die Verzögerung auch deutlich länger als bei den anderen beiden Verfahren. Die Unterschiede zwischen den Verfahren rühren weniger von dem Ansatz her, den Bitstrom zu modifizieren, als von der Ordnung und Auslegung des internen $\Delta\Sigma$ -Modulators. Dieser ist bei den Delta-Addierern und der Bitstrom-Modifikation erst nach einer Umformung als $\Delta\Sigma$ -Modulator erster Ordnung zu erkennen. Diese Verfahren sind auf diese Modulator-Ordnung begrenzt, da die Ordnung im Kernansatz nicht gesteigert werden kann. Die ähnlichen spektralen und dynamischen Eigenschaften weisen auch auf eine gleiche Ordnung hin. Die Unterschiede zwischen Delta-Addierern und der Bitstrom-Modifikation sind in der unterschiedlichen zeitdiskreten Implementierung begründet. Zudem weist die Bitstrom-Modifikation zwei $\Delta\Sigma$ -Modulatoren erster Ordnung in Reihe auf, da die vorgeschaltete Subtraktion auch als $\Delta\Sigma$ -Modulator dargestellt werden kann. Dies begründet auch den einen Takt mehr Verzögerung gegenüber dem Delta-Addierer.

Die Quantendekodierung bietet den Vorteil, beliebige interne $\Delta\Sigma$ -Modulatoren verwenden zu können. Der hier gewählte $\Delta\Sigma$ -Modulator aus Abbildung 4.2 ist der Grund für einen besseren SNDR durch die höhere Modulator-Ordnung. Eine Betrachtung der Führungsübertragungsfunktion $G_{uz,2}$ des linearen Modells dieses Modulators für k_q und m gleich 1 liefert die Erklärung für die größere Verzögerung.

$$G_{uz,2} = \frac{c_1 c_2}{z^2 + (c_2 - 2)z + 1 + c_2 c_1 - c_2} \quad (4.18)$$

Die Sprungantwort von $G_{uz,2}$ in Abbildung 4.10 ist nach 8 Takten größer als 90% der Referenz. Das Ergebnis des linearen Modells stimmt mit der Simulation überein.

Im Weiteren wird das Verfahren der Quantendekodierung genutzt, da der verwendete interne $\Delta\Sigma$ -Modulator eine Auslegung nach applikati-

onsspezifischen Forderungen wie hoher SNDR, stabiler Eingangsbereich oder geringe Verzögerungen ermöglicht. Dabei werden Untersuchungen am linearen Modell zum Beispiel mit der WOK und der Simulation des nichtlinearen Modells eingesetzt. Der verwendete $\Delta\Sigma$ -Modulator zweiter Ordnung liefert bezüglich des SNDRs deutlich bessere Werte als die inhärenten $\Delta\Sigma$ -Modulatoren der anderen beiden Verfahren.

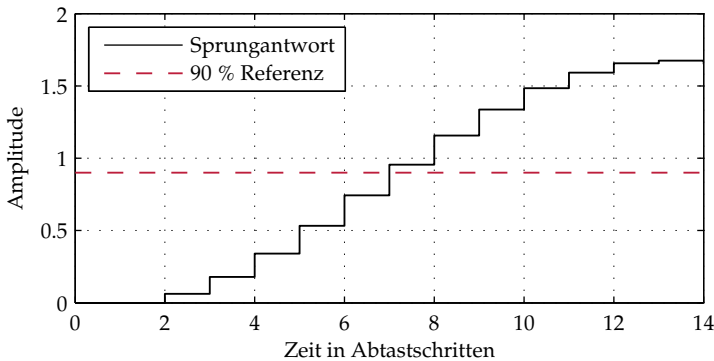


Abb. 4.10: Sprungantwort der Führungsübertragungsfunktion

Die größere Verzögerung des $\Delta\Sigma$ -Modulators zweiter Ordnung ist angesichts des hohen $\Delta\Sigma$ -Modulatortakts vernachlässigbar. Zudem ist der verwendete $\Delta\Sigma$ -Modulator zweiter Ordnung durch die binären Koeffizienten effizient zu implementieren.

4.3 DSSV Operationen

Die Rechenoperationen Addition, Skalierung und Integration sind notwendig zur Umsetzung von linearen regelungstechnischen Systemen [77]. Die DSSV Operation Addition mit Quantendekodierung wurde bereits behandelt. Die Skalierung und Integration ist in [37] mit einem internen $\Delta\Sigma$ -Modulator erster Ordnung vorgestellt. In dieser Arbeit werden stattdessen, genauso wie bei der Addition, interne $\Delta\Sigma$ -Modulatoren zweiter Ordnung verwendet. Allgemein sind auch höhere Ordnungen mit der Quantendekodierung möglich [HKKS16].

Abbildung 4.11 zeigt die Skalierung eines Bitstroms. Nach der Herleitung in Kapitel 4.1.2 ist die Verstärkung V dieser Anordnung durch Gleichung (4.19) mit den ganzzahligen Größen n und m gegeben.

$$V = \frac{n}{2 \cdot m} \quad (4.19)$$

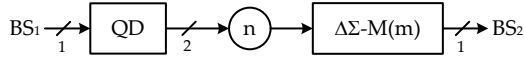


Abb. 4.11: Grundprinzip Skalierung eines Bitstroms, nach [HKKS16]

Für eine konstante Verstärkung wird das Verhältnis vorab festgelegt [HKKS16]. Eine Variation von n und m zur Laufzeit ermöglicht eine variable Skalierung und damit eine Multiplikation eines Bitstroms mit einem parallelen Datenwort. Auf diese Weise können nichtlineare Funktionen wie zum Beispiel die Sinus-Funktion über Tabellen oder den CORDIC-Algorithmus [99] berücksichtigt werden. Dazu wird ein Bitstrom mit den entsprechenden parallelen Datenwörtern skaliert.

Die Integration ist in Abbildung 4.12 dargestellt.

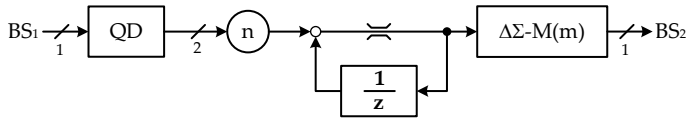


Abb. 4.12: Grundprinzip Integration eines Bitstroms, nach [HKKS16]

Die Integrator-Zeitkonstante T_i berechnet sich analog zur Skalierung [HKKS16].

$$T_i = T_s \cdot \frac{2 \cdot m}{n} \quad (4.20)$$

Die Begrenzung des Integrators erfolgt im stabilen Wertebereich

$$m_{int,max} = m \cdot OL \quad (4.21)$$

des internen $\Delta\Sigma$ -Modulators.

Alle weiteren Elemente der linearen Regelungstechnik wie PI-Regler können prinzipiell aus diesen Grundoperationen zusammengesetzt werden. Allerdings führt jeder interne $\Delta\Sigma$ -Modulator neues Quantisierungsrauschen in die Operation ein. Eine bessere Rauschverformung verringert zwar das Rauschen im Signalband, ändert allerdings nichts an der grundsätzlichen Problematik. In [100] wird anhand eines PID-Reglers motiviert, die Anzahl der DSSV Operationen für einen hohen SNDR gering zu halten. Diese Aussage wird in Simulation untersucht. Eine Kette von DSSV Skalierungen mit der Verstärkung 1 wird mit einem Sinussignal angeregt und der SNDR jeweils nach i Stufen ermittelt.

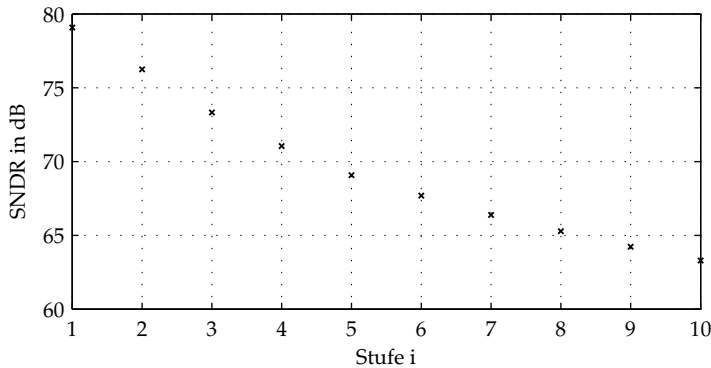


Abb. 4.13: SNDR Abfall nach einer Kette von 1 Skalierungen ¹

Die erste Stufe stellt dabei den Referenzmodulator dar. Wie zu erwarten fällt der SNDR Verlauf in Abbildung 4.13¹ für eine steigende Anzahl an DSSV Operationen. Dies ist ein Nachteil der quasi-analogen Eigenschaft der hybriden Signalverarbeitung. Allerdings beträgt der SNDR nach 10 Stufen immer noch ca. 62 dB, was einer ENOB von etwa 10 Bit entspricht.

Am Beispiel eines PI-Reglers wird gezeigt, wie die Anzahl der DSSV Operationen minimiert werden kann. In Parallelform werden drei DSSV Operationen (Skalierung, Integration und Addition) und damit drei interne $\Delta\Sigma$ -Modulatoren, wie in Abbildung 4.14 gezeigt, benötigt.

¹ Simulationsergebnis von Klein, A., Institut für Regelungstechnik, TU Braunschweig vom 6.10.2015

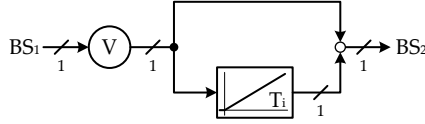


Abb. 4.14: PI-Regler mit DSSV Operationen

Durch parallele Datenverarbeitung des PI-Reglers, wie in Abbildung 4.15 gezeigt, wird nur noch ein interner $\Delta\Sigma$ -Modulator benötigt und der SNDR des PI-Reglers in DSSV verbessert.

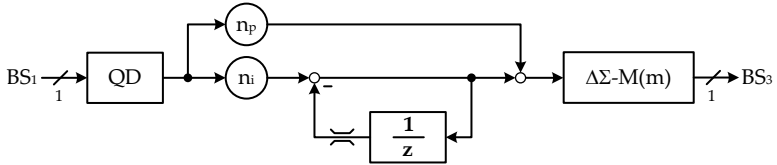


Abb. 4.15: Optimierter PI-Regler mit DSSV Operationen

Die Parameter des PI-Reglers müssen durch das Zusammenfassen von DSSV Operationen folgendermaßen gewählt werden:

$$m = \frac{T_i}{T_s} \quad (4.22)$$

$$n_p = 2Vm \quad (4.23)$$

$$n_i = \frac{n_p}{m} = 2V. \quad (4.24)$$

5 Einphasiger Delta-Sigma-PWM-Modulator

Die DSSV ermöglicht eine Regelung mit $\Delta\Sigma$ -Bitströmen ohne den in der konventionellen Regelung verwendeten digitalen Filter. Als Digital-Analog-Umsetzer der Stellgröße wird in der Regel eine PWM verwendet. Um die dynamischen Vorteile der DSSV voll nutzen zu können, ist ein PWM-Modulator gefordert, der ebenso ohne digitale Filter auskommt. Ideal ist ein DAU mit direkter Taktung der Leistungselektronik mit den $\Delta\Sigma$ -Bitströmen. Die angeschlossene Last, in diesem Fall ein elektrischer Antrieb, wirkt als Tiefpassfilter und unterdrückt die Rauschanteile bei hohen Frequenzen. Die mittlere Frequenz der Bitströme ist allerdings deutlich zu hoch für hart-schaltende IGBT-Umrichter in der Antriebstechnik mit typischen Schaltfrequenzen im 4 - 20 kHz Bereich. In [47] wird mit Hilfe von Markov-Ketten eine obere Schranke für die maximale Frequenz eines $\Delta\Sigma$ -Bitstroms für Gleich-Eingangsgrößen abgeschätzt. Die höchste mittlere Frequenz ergibt sich demnach bei einer konstanten Eingangsgröße von $u = 0$ zu

$$f_{s,max} = \frac{f_s}{2}, \quad (5.1)$$

die bei einem typischen $\Delta\Sigma$ -Modulatortakt von 10 MHz deutlich über dem geforderten Frequenzbereich liegt. Im Folgenden werden zunächst für den Fall einer einphasigen PWM verschiedene Modulatoren bewertet und das beste Konzept in Verbindung mit der DSSV an einer Spannungsregelung umgesetzt und untersucht.

5.1 Delta-Sigma-PWM-Modulator

Ein geeigneter $\Delta\Sigma$ -PWM-Modulator muss direkt einen $\Delta\Sigma$ -Bitstrom verarbeiten und die mittlere Schaltfrequenz unter Beibehaltung des

Tastverhältnisses herabsetzen. Die übliche Sinus-Dreieck Modulation scheidet aufgrund ihrer Verarbeitung von parallelen Datenworten und der Laufzeit verursachenden synchronen Logik aus. Abbildung 5.1 zeigt verschiedene Ansätze aus der Literatur zur Umsetzung eines $\Delta\Sigma$ -PWM-Modulators. Diese sind konzeptionell in der Lage, sowohl parallele Datenwörter als auch Bitströme zu verarbeiten.

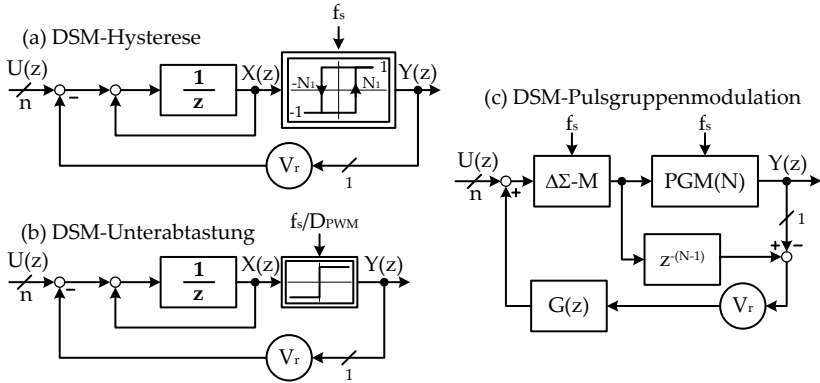


Abb. 5.1: Ansätze zur Umsetzung eines $\Delta\Sigma$ -PWM-Modulators
(a) DSM-Hysterese, (b) DSM-Unterabtastung, (c) DSM-Pulsgruppenmodulation

Im ersten Ansatz (a) [57,101] wird der Quantisierer eines $\Delta\Sigma$ -Modulators durch ein Zweipunktglied mit Hysterese-Bereich zwischen $-N_1, N_1$ ersetzt. Eine weitere Möglichkeit stellt eine Unterabtastung (b) des Quantisierers [57] mit einer Frequenz $\frac{f_s}{D_{PWM}}$ dar. Der dritte Ansatz (c) setzt eine Pulsgruppenmodulation (PGM) ein [102]. Über ein Fenster der Länge N werden die vorhandenen Bits zu Gruppen umsortiert und während des nächsten Fensters ausgegeben. Insbesondere bei kurzen Fensterlängen verbessert eine zusätzliche Rauschverformung durch Rückführung des Fehlers vor und nach der PGM den SNR [102]. Diese Ansätze werden hinsichtlich der spektralen Eigenschaften, Dynamik und Schaltfrequenzeigenschaften in einer Simulation bewertet. Die Stimulation erfolgt zunächst mit parallelen Datenworten. Abbildung 5.2 zeigt das Frequenzspektrum der beschriebenen Ansätze inklusive eines $\Delta\Sigma$ -Modulators erster Ordnung als Referenz bei einer Sinusanregung

mit 83 Hz und $f_s \approx 8,3 \text{ MHz}$. Diese Parameter werden gewählt, um eine FFT mit einer Zweierpotenz an Punkten durchzuführen. Die Simulation wird mit 2^{23} Abtastpunkten durchgeführt und zur Fensterung wird ein Rechteckfenster verwendet.

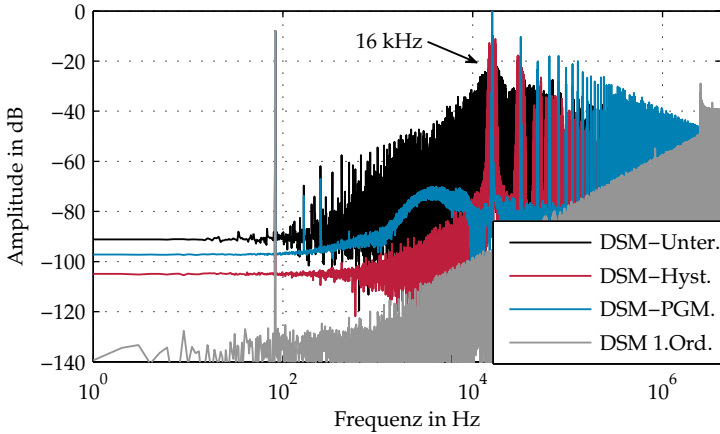


Abb. 5.2: Frequenzspektren der Ausgangssignale verschiedener $\Delta\Sigma$ -PWM-Modulatoren

Die Sinusanregung wird mit einem geringen Rauschsignal überlagert, um die Ruhetöne, die typisch für $\Delta\Sigma$ -Modulatoren erster Ordnung sind [60], zu vermindern. Die mittlere Schaltfrequenz der $\Delta\Sigma$ -PWM-Modulatoren wird über deren Parameter auf ca. 16 kHz angeglichen. Die Modulatoren mit Unterabtastung und Hysterese zeigen ein verteiltes Spektrum der Schaltfrequenz, während das Spektrum der PGM auf eine konstante Schaltfrequenz hinweist. Der Hysterese-Modulator bildet die Rauschverformung des $\Delta\Sigma$ -Modulators erster Ordnung am besten ab. Zur weiteren Beurteilung des Spektrums wird der SNDR in Tabelle 5.1 mit einer Bandbreite von 1 kHz, dem Grundschwingungsbereich einer elektrischen Maschine, ermittelt.

Tabelle 5.1: SNDR verschiedener $\Delta\Sigma$ -PWM-Modulatoren

$\Delta\Sigma$ -M Typ	1. Ordnung	Hysterese	PGM	Unter.
SNDR in dB	94	67	53	39

Der Hysterese-Modulator bietet im Vergleich zu den anderen Verfahren den besten SNDR, liegt allerdings noch deutlich unter einem $\Delta\Sigma$ -Modulator 1. Ordnung. Dies ist auch optisch an den unterschiedlichen Amplituden bei niedrigen Frequenzen erkennbar. Ein weiteres wichtiges Kriterium ist das dynamische Verhalten der PWM-Modulatoren. Dies wird mit einer Sprungantwort der Modulatoren und des $\Delta\Sigma$ -Modulators erster Ordnung als Referenz bewertet. Eine Tiefpassfilterung der Ausgänge mit Sinc^3 -Filtern erlaubt eine Interpretation der Ergebnisse ohne den Einfluss einer variierenden Schaltfrequenz. Abbildung 5.3 zeigt, dass der Hysterese-Modulator fast keine Verzögerung aufweist, während der PGM-Modulator durch die hohe nötige Fensterlänge eine deutliche Verzögerung einführt.

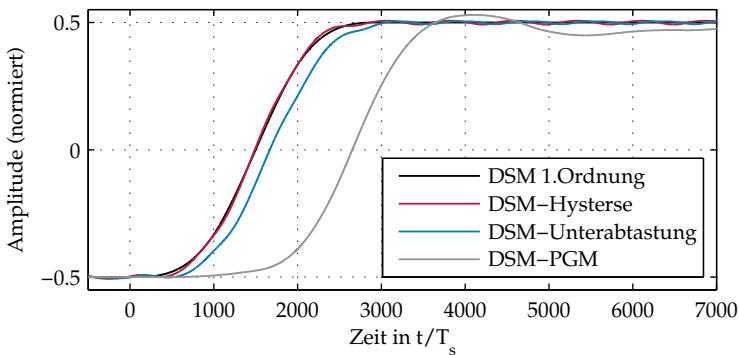


Abb. 5.3: Sprungantworten verschiedener $\Delta\Sigma$ -Modulatoren

Abschließend wird der Verlauf der mittleren Schaltfrequenz im stationären Zustand über dem Eingangsbereich ermittelt. Abbildung 5.4 zeigt ein grundsätzlich unterschiedliches Verhalten für den PGM-Modulator, der eine konstante Schaltfrequenz aufweist, und für die anderen Modulatoren, die eine starke Amplitudenabhängigkeit aufweisen.

Für die weiteren Betrachtungen wird der Hysterese-Modulator verwendet, da dieser im Vergleich den besten SNR und die beste Dynamik vorweist. Der PGM-Modulator ist aufgrund der großen Verzögerung, die aus dem Fenster-basierten Ansatz folgt, in dieser Anwendung nicht einsetz-

bar. Für höhere Schaltfrequenzen und einer Forderung nach fester Schaltfrequenz stellt der PGM-Modulator eine Alternative dar. Eine weitere SNR Steigerung ist durch eine höhere Ordnung der Rauschverformung möglich [102].

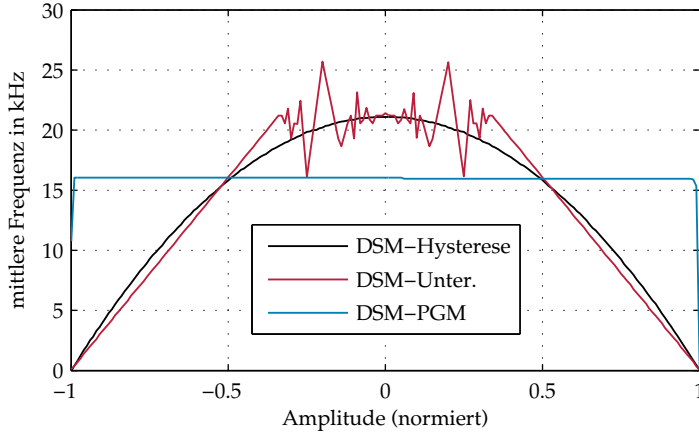


Abb. 5.4: Schaltfrequenz Verhalten verschiedener $\Delta\Sigma$ -Modulatoren

Die variable Schaltfrequenz des Hysteresis-Modulators bietet gegenüber einer festen Schaltfrequenz Vorteile in der Akustik und der elektromagnetischen Verträglichkeit [103], erschwert allerdings die Stromerfassung mit einem abtastenden ADU. Eine Variation der Hysteresebreite [104] bietet die Möglichkeit, die Schaltfrequenz auf gewisse Bereiche zu begrenzen.

Eine Abschätzung der höchsten Schaltfrequenz eines Hysteresis-Modulators in Abhängigkeit der Hysteresebreite erfolgt mit der Differenzengleichung (5.2) des nichtlinearen Regelkreises in Abbildung 5.1 und der Gleichung (5.3) eines Hystereseglieds.

$$x(\nu + 1) = u(\nu) - y(\nu) + x(\nu) \quad (5.2)$$

$$y(\nu) = \begin{cases} -1 & \text{für } x(\nu) \leq -N_1 \\ \text{binäre Zustandsgröße für } -N_1 < x(\nu) < N_1 \\ +1 & \text{für } x(\nu) \geq N_1 \end{cases} \quad (5.3)$$

Da für einen $\Delta\Sigma$ -Modulator nach [47] die höchste Frequenz für eine Gleichanregung mit $u = 0$ auftritt, wird angenommen, dass dies für einen Hysterese-Modulator genauso gilt. Das Ergebnis der Simulation in Abbildung 5.4 stützt diese These, kann sie allerdings nicht verallgemeinern. Für eine Nullanregung des Hysterese-Modulators und Anfangswerten bei $x(\nu) = 0$ ist in Abbildung 5.5 der Verlauf der entscheidenden Größen exemplarisch für $N_1 = 5$ dargestellt.

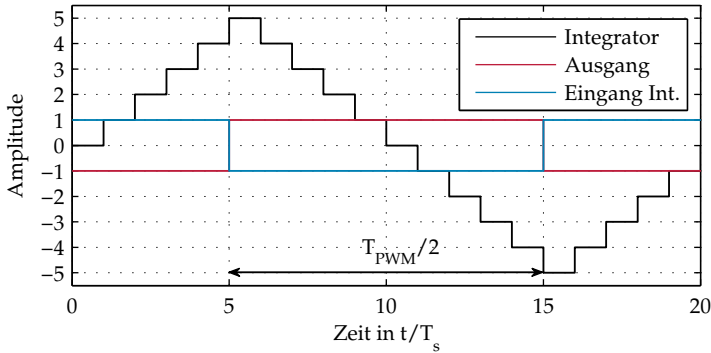


Abb. 5.5: Beispiel-Trajektorie eines $\Delta\Sigma$ -Hysterese-Modulators

Die Trajektorie eines Einheitsintegrators, auch Akkumulator genannt, ist eine Rampenfunktion mit Steigung 1. Die Umschaltbedingung anhand des Integratorzustands ergibt sich aus Gleichung (5.3). Der Eingang des Integrators ist der negative Ausgang y , so dass sich als Gesamttrajektorie ein dreiecksförmiger Verlauf mit der Periodendauer

$$T_{PWM,max.} = T_s \cdot 4N_1 \quad (5.4)$$

ergibt. Die resultierende maximale PWM-Frequenz für die Parameter der Simulation in Abbildung 5.4

$$f_{PWM,max.} = \frac{f_s}{4 \cdot 118} \approx 21,2 \text{ kHz} \quad (5.5)$$

stimmt in guter Näherung mit dem Spitzenwert der Simulation überein.

Bisher erfolgte die Anregung der $\Delta\Sigma$ -PWM-Modulatoren mit parallelen Datenworten. Dies erfordert allerdings eine vorherige Tiefpassfilterung. Eine direkte Verarbeitung der Bitströme ist mit dem favorisierten Hysterese-Modulator möglich, da dieser anschaulich durch den Integrator und die Hysterese die Sollwert-Bits zu „0“ und „1“ Paketen gruppiert. Zur Validierung dieses Ansatzes werden Hysterese-Modulatoren mit dem Bitstrom eines $\Delta\Sigma$ -Modulators zweiter Ordnung in Simulation angeregt, da eine analytische Beschreibung aufgrund des Zweipunktglieds mit Hysterese nur schwer möglich ist. Zudem werden drei verschiedene Varianten in der Implementierung des Hysterese-Modulators verglichen: Integrator nach der Untersumme (US), der Obersumme (OS) und der Obersumme mit zusätzlicher Sinc³-Filterung des Sollwertes. Abbildung 5.6 zeigt das spektrale Ergebnis. Es werden dieselben Parameter wie in der Simulation für Abbildung 5.2 verwendet.

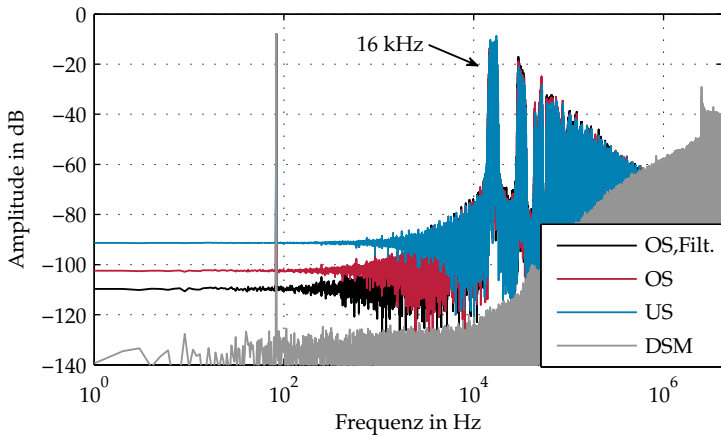


Abb. 5.6: Frequenzspektren der Ausgangssignale verschiedener Hysterese-Modulatoren

Im Bereich der Schaltfrequenz um 16 kHz weisen die Modulatoren ein ähnliches Verhalten auf, während für niedrige Frequenzen deutliche Unterschiede auftreten. Diese werden mit Hilfe des SNDR mit einer Bandbreite von 1 kHz in Tabelle 5.2 quantifiziert.

Der Hysterese-Modulator mit Integratoren nach der Untersumme wurde

Tabelle 5.2: SNDR verschiedener $\Delta\Sigma$ -Modulatoren

$\Delta\Sigma$ -M Typ	2. Ordnung	Hyst. OS, Filt.	Hyst. OS	Hyst. US
SNDR in dB	95	70	64	53

bereits in der vorherigen Simulationsreihe eingesetzt. Gegenüber der Anregung mit parallelen Datenworten stellt sich ein schlechterer SNDR ein, da der Hysterese-Modulator eine schlechtere Rauschverformung als die $\Delta\Sigma$ -Modulatoren, die sonst zur Verarbeitung von Bitströmen eingesetzt werden, aufweist. Die Simulationsergebnisse deuten auf eine Steigerung des SNDR durch die Verwendung eines Integrators nach der Obersumme hin. Eine Filterung des Sollwerts ergibt eine SNR Steigerung, widerspricht allerdings der Forderung nach einer filterlosen Verarbeitung. Diese Variante soll lediglich das Potential zur SNR-Verbesserung durch Verzicht auf Dynamik aufzeigen. Weitere Simulationen ergeben ein ähnliches Verhalten bezüglich der Sprungantwort und dem Schaltfrequenzverhalten im Vergleich zur Anregung mit parallelen Datenworten.

5.2 Spannungsregelung

Der beschriebene Hysterese-Modulator bietet eine PWM-Erzeugung ohne digitale Filter. Allerdings erfolgt die Umsetzung der Bitströme in ein PWM-Signal in einer offenen Kette. Die Vorteile einer Spannungsregelung gegenüber einer Spannungssteuerung mit einer Vorsteuerung der Fehlspannung wurden bereits in Kapitel 3.2 dargestellt. Eine Spannungssteuerung im einphasigen Fall ist in Abbildung 5.7 skizziert: eine PWM-Einheit mit festem Trägersignal f_{PWM} steuert eine Halbbrücke an, das Einfügen von Totzeiten verhindert einen Brückenkurzschluss und eine R-L Last stellt zum Beispiel eine vereinfachte Gleichstrommaschine dar.

Die PWM-Einheit kann mittels einer Sinus-Dreieck-Modulation entweder analog oder digital umgesetzt werden. Der vereinfachte Aufbau in Abbildung 5.7 wird in der Audiotechnik als Klasse-D Verstärker bezeichnet [54].

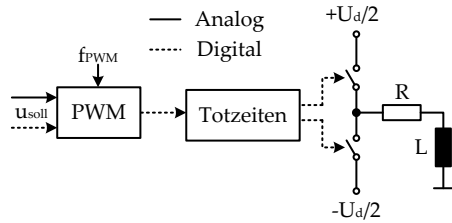


Abb. 5.7: Einphasige Spannungssteuerung einer R-L Last

In diesem Zusammenhang ist eine analoge Rückführung der Spannungen zur Kompensation der Nichtlinearitäten der Halbbrücke bekannt [54, 105]. Abbildung 5.8 zeigt diese analoge Rückführung der Ausgangsspannung.

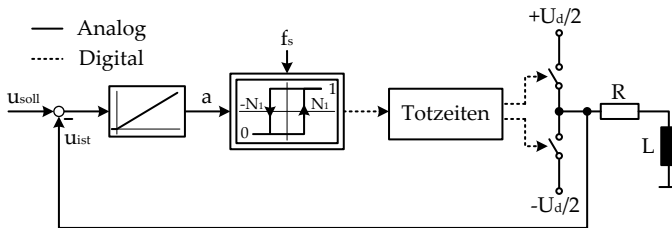


Abb. 5.8: Spannungsregelung durch analoge Rückführung

Anstatt einer PWM-Einheit wird ein $\Delta\Sigma$ -Hysterese-Modulator mit einem Integrator als Filter verwendet. In [54] wird ein Filter 7. Ordnung eingesetzt, die mittleren Schaltfrequenzen liegen in diesem Fall allerdings im Bereich um 500 kHz. Dadurch kann die Hysterese klein gehalten werden. Mit dem Hintergrund der angestrebten Schaltfrequenzen im 10 kHz Bereich und der damit verbundenen deutlich größeren Hysterese sowie Totzeiten der Leistungselektronik hat sich eine höhere Filterordnung in Simulation als instabil herausgestellt. Im Folgenden wird daher in Anlehnung an den robusten $\Delta\Sigma$ -Modulator erster Ordnung nur ein Integrator als Filter verwendet. Die Struktur in Abbildung 5.8 ermöglicht zwar eine Spannungsregelung mit hoher Dynamik aufgrund der analogen Signalverarbeitung, beschränkt allerdings dadurch den Sollwert auf analo-

ge Signale. Zur direkten Umsetzung der digitalen Bitströme einer DSSV ist daher eine analoge Spannungsrückführung ungeeignet. Eine Digital-Analog-Umsetzung des Soll-Bitstroms [106] ist eine mögliche Lösung, führt allerdings Verzögerungen durch den analogen Tiefpassfilter sowie zusätzliches Rauschen ein.

Eine binäre Analog-Digital-Umsetzung der Spannung [107], ähnlich dem $\Delta\Sigma$ -Grundprinzip, ermöglicht keine präzise Kompensation der Fehlspannungen. Eine präzise Spannungsregelung ohne digitale Filterung des Soll- oder Istwertes ist mit dem vorgeschlagenen Verfahren in Abbildung 5.9 möglich.

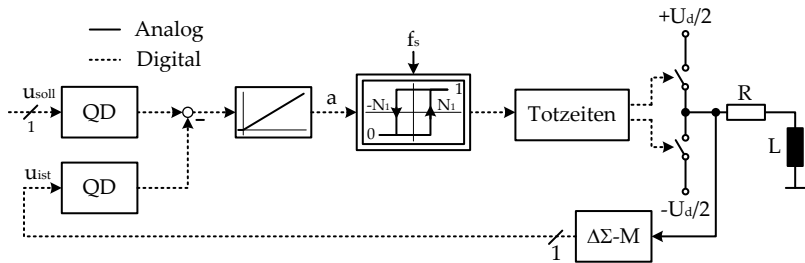


Abb. 5.9: Einphasige Spannungsregelung mit $\Delta\Sigma$ -Bitströmen

Nach einer $\Delta\Sigma$ -Modulation erfolgt die Rückführung der Spannung digital. Eine Quantendekodierung von Soll- und Istwert mit anschließender Subtraktion der Quanten bildet den Regelfehler im hochfrequenten Bitstromtakt und erlaubt die Vorgabe eines Bitstrom-Sollwertes. Die Quantendekodierung und die Subtraktion zweier $\Delta\Sigma$ -Bitströme BS_1 Minus BS_2 unter Nutzung eines Nullbitstroms BS_0 kann in der Subtraktionstabelle 5.3 zusammengefasst werden [37]. Diese Subtraktionstabelle wird im Folgenden als QD(-) bezeichnet.

Die Kombination aus dynamischem $\Delta\Sigma$ -Hysterese Modulator und der hochfrequenten DSSV ermöglicht ein Stellglied mit großer Bandbreite und einer präzisen Spannungsregelung.

Tabelle 5.3: Subtraktionstabelle zweier $\Delta\Sigma$ -Bitströme, nach [37]

BS ₀	BS ₁	BS ₂	Quanten
0	0	0	0
0	0	1	Q ₋
0	1	0	Q ₊
0	1	1	0
1	0	0	0
1	0	1	Q ₋
1	1	0	Q ₊
1	1	1	0

5.2.1 Fehlspannungskompensation

Die Kompensation der Fehlspannungen ist ein Maß für die Güte der Spannungsregelung. Jegliche Abweichungen zwischen Ist- und Sollspannung führt ohne eine Stromregelung zu einem Fehler im Laststrom. Daher wird in einer Simulation in MATLAB/SIMULINK der Laststrom bei einer sinusförmigen Anregung für drei verschiedene Konfigurationen bestimmt, um die Effekte der unterschiedlichen Rückführungen zu untersuchen. Zur Bewertung der Stromverläufe dient die harmonische Verzerrung (auf englisch *Total Harmonic Distortion* - THD), nach der Definition

$$THD = \sqrt{\frac{I_2^2 + I_3^2 + \dots + I_n^2}{I_1^2}}, \quad (5.6)$$

wobei I_1 die Grundschiwingung ist und I_2 bis I_n die harmonischen Anteile darstellen. Abbildung 5.10 zeigt den Aufbau der Simulation mit den wichtigsten Parametern. Für die IGBTs und Dioden werden Modelle aus der „SimPowerSystems“-Toolbox der Firma MathWorks verwendet und nach Daten der Prüfstands-Leistungselektronik parametrisiert. Der zeitdiskrete Integrator wird symmetrisch auf N_2 begrenzt. Dessen Parametrierung wird noch genauer untersucht. Die Variante A besteht aus einer internen Rückführung des $\Delta\Sigma$ -Hysterese-Modulators und die Variante B in einer binären Rückführung der analogen Spannung.

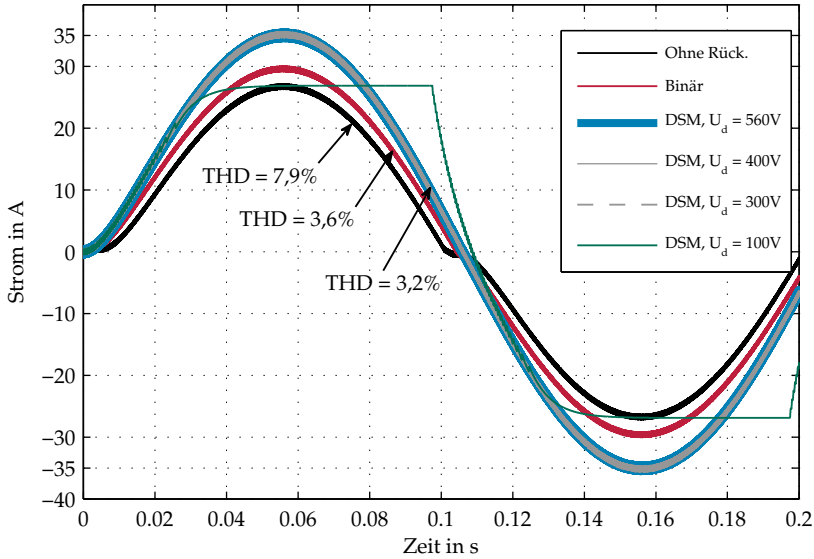


Abb. 5.11: Vergleich der Lastströme für verschiedene Rückführungen

Damit ergibt sich der Spitzenwert der Sollspannung zu

$$\hat{u}_v = \frac{U_{d,max}}{2} u = 305 \text{ V} \cdot 0,2 = 61 \text{ V}. \quad (5.9)$$

Mit einer Anregungsfrequenz von 5 Hz folgt der Spitzenstrom zu

$$\hat{i} = \frac{\hat{u}_v}{Z_l} \approx \frac{61 \text{ V}}{1,7323 \text{ Ohm}} \approx 35,2 \text{ A}, \quad (5.10)$$

dessen Wert in guter Näherung mit der Simulation übereinstimmt. Des Weiteren sind die Stromverläufe der Rückkoppelung mit einem $\Delta\Sigma$ -Modulator, wie von einer Regelung zu erwarten, unabhängig von der Zwischenkreisspannung. Erst bei einer Zwischenkreisspannung von 100 V greift die Begrenzung des Modulators, da die angeforderte Spannung von 61 V größer als die halbe Zwischenkreisspannung ist. Der Stromverlauf weist in der Begrenzung keine PWM-Harmonischen mehr auf, da der Modulator kontinuierlich von wenigen zu keinen Schaltvorgängen

wechselt, um die maximale Spannung an der Last zu erzielen. Im Bezug auf die Spannungsausnutzung ist dieses Verhalten optimal. Die niedrigen Schaltfrequenzen in der Nähe der Begrenzung können in einigen Applikationen jedoch störend sein.

5.2.2 Begrenzung

Die Begrenzung des Integrators verhindert ein unkontrolliertes Anwachsen des Integralanteils a , wenn zum Beispiel die Begrenzung des Stellglieds erreicht ist. Abbildung 5.12 zeigt den typischen Verlauf des Integrators in einem $\Delta\Sigma$ -Hysterese-Modulator.

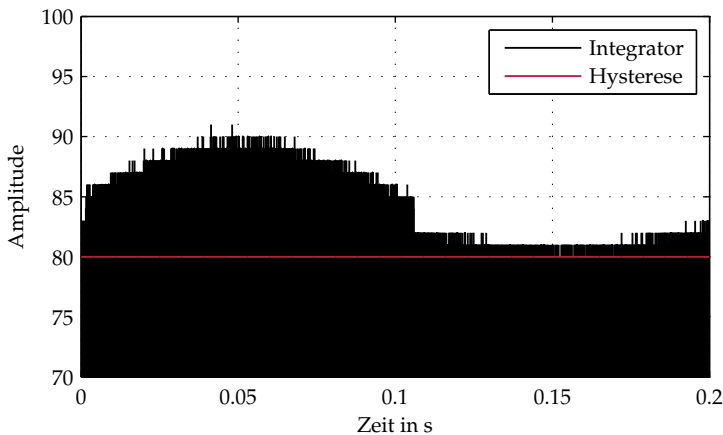


Abb. 5.12: Überschreiten der Hysteresebegrenzen durch Totzeiten

Die Verläufe außerhalb der Hysteresebegrenzen entstehen aufgrund von Totzeiten im Regelkreis. Im Wesentlichen tragen dazu die Totzeiten zum Schutz der Halbleiter $T_{Totzeit}$, die Verzögerungen der Leistungshalbleiter T_{LH} und der $\Delta\Sigma$ -Modulatoren $T_{\Delta\Sigma}$ bei. Das Übertreten der Hysterese ist Teil der Wirkungsweise der Spannungsregelung und darf daher nicht durch eine Begrenzung abgeschnitten werden. Eine Abschätzung

des Maximums des Integralanteils a erfolgt durch die Summe aller Verzögerungen in Bezug auf die Taktung des Hysteresemodulators.

$$\max(a) \approx N_1 + \frac{T_{\text{Totzeit}} + T_{LH} + T_{\Delta\Sigma}}{T_s} = 80 + 5 + 2 + 8 = 95 \quad (5.11)$$

Die Simulation für eine sinusförmige Anregung mit einer Amplitude von u gleich 0,5 in Abbildung 5.12 zeigt, dass der ermittelte maximale Wert in diesem Arbeitspunkt nicht überschritten wird. Die Auslegung der Begrenzung N_2 ist ein Kompromiss zwischen dem freien Betrieb der Spannungsregelung und einem guten Lösen aus der Begrenzung und muss durch Simulation ermittelt werden. Die Kenngröße aus Gleichung (5.11) stellt einen Richtwert dar.

5.2.3 Schaltfrequenzvariation

Eine besondere Eigenschaft der Hysteresemodulatoren ist die variable Schaltfrequenz. Um die Auswirkungen besser beurteilen zu können, wird im Folgenden die mittlere Schaltfrequenz berechnet. Da der Eingang des Hysteresemodulators als Bitstrom vorliegt, wird die mittelwertbasierte Beschreibung aus Kapitel 2.2.5 zur Berechnung der mittleren Schaltfrequenz verwendet. In Kapitel 5.1 wird beschrieben, dass die Trajektorie am Ausgang des Integrators im Hysteresemodulator ein dreiecksförmiger Verlauf ist.

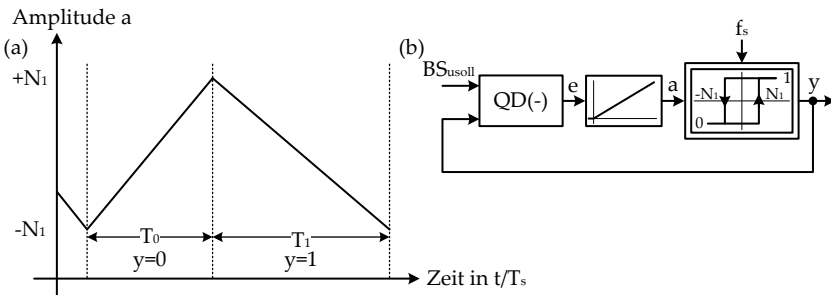


Abb. 5.13: Trajektorie eines Hysteresemodulators

Dieser Verlauf ist in Abbildung 5.13 (a) schematisch zusammen mit dem betrachteten Hysteres-Modulator 5.13 (b) mit interner Rückführung dargestellt. Der binäre Ausgang y des Modulators bestimmt die Laufrichtung des Dreieckssignals und unterteilt die Trajektorie in zwei Zeitbereiche T_0 und T_1 , deren Summe die PWM-Periode ergibt. Eine Fallunterscheidung für diese zwei Zeitbereiche vereinfacht die Subtraktionstabelle 5.3 der Quantendekodierung. Die resultierenden Quanten für den Fall y gleich 0 ist in Tabelle 5.4 angegeben.

Tabelle 5.4: Subtraktionstabelle für y gleich 0

BS_0	BS_{soll}	e
0	0	0
0	1	$Q_+ = +1$
1	0	0
1	1	$Q_+ = +1$

Tabelle 5.5: Subtraktionstabelle für y gleich 1

BS_0	BS_{soll}	e
0	0	$Q_- = -1$
0	1	0
1	0	$Q_- = -1$
1	1	0

Die Periodendauer T_0 ergibt sich aus der Länge des Bitstromfensters N_{f0} , welches im Fehlersignal e insgesamt $2 \cdot N_1$ positive Quanten erzeugt. Damit verläuft der Akkumulatorstand von $-N_1$ bis $+N_1$. Da nach Tabelle 5.4 jedes „1“ Bit ein positives Quant erzeugt, folgt

$$b_1 = 0,5N_{f0} + 0,5 \cdot \overline{u_{\text{soll}}} \cdot N_{f0} \stackrel{!}{=} 2N_1. \quad (5.12)$$

Umgeformt nach der Länge des Bitstromfensters folgt

$$N_{f0} = \frac{4N_1}{1 + \overline{u_{\text{soll}}}}. \quad (5.13)$$

Das gleiche Vorgehen für y gleich 1 nach Tabelle 5.5 liefert

$$N_{f1} = \frac{4N_1}{1 - \overline{u_{soll}}}. \quad (5.14)$$

Die Gesamtlänge ist

$$N_f = N_{f0} + N_{f1} = \frac{8N_1}{1 - \overline{u_{soll}}^2}. \quad (5.15)$$

Mit der Modulator Abtastrate T_s folgt

$$\overline{f_{PWM}} = \frac{1 - \overline{u_{soll}}^2}{8N_1T_s}. \quad (5.16)$$

In Abbildung 5.14 ist die berechnete und simulierte Schaltfrequenz über der normierten Eingangsamplitude aufgetragen. Zusätzlich ist der normierte Fehler als Differenz zwischen der simulierten und berechneten Frequenz bezogen auf die simulierte Frequenz aufgetragen. Als Anregung wird ein Sinussignal mit niedriger Frequenz (1 Hz) verwendet. Die Berechnung der Schaltfrequenz stimmt gut mit der Simulation überein. Die Fehler sind kleiner als $\pm 1\%$. Die Abweichungen sind durch die Rauschanteile des $\Delta\Sigma$ -Modulators zu erklären, die bei der mittelwertbasierten Betrachtung vernachlässigt werden.

Ein Hysteresemodulator mit Spannungsregelung weist ein anderes Frequenzverhalten auf. Das PWM Signal y wird bisher als Spezialfall eines allgemeinen Bitstroms behandelt, in dem die „0“ und „1“ Bits innerhalb einer Periode immer als Paket vorliegen. Als Modell dient die Erzeugung eines Bitstroms von einem idealen Modulator, dessen Eingang zwischen positivem und negativem Maximalwert geschaltet wird. In der Spannungsregelung hingegen liegen andere Bedingungen vor. Es wird die gemessene Spannung der Phasenpotentiale in Bezug zur Referenzspannung als Istwert verwendet. Dadurch gehen auch Effekte wie eine variierende Zwischenkreisspannung und Totzeiten in die Schaltfrequenzberechnung ein. Weitere Effekte wie stromabhängige Spannungsabfälle werden in der Berechnung der mittleren Schaltfrequenz allerdings vernachlässigt.

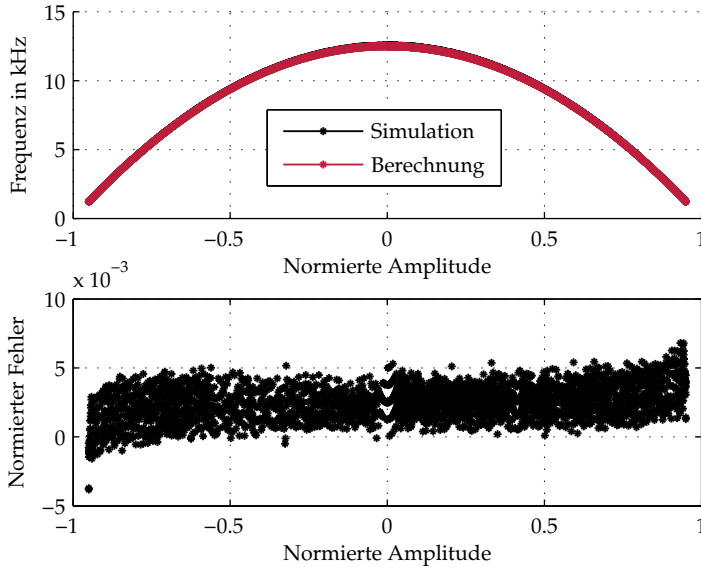


Abb. 5.14: Berechnete und simulierte Schaltfrequenz eines Hysterese-Modulators

Im Gegensatz zur internen Rückführung kann nun nicht mehr von „0“ und „1“ Paketen im Ist-Bitstrom ausgegangen werden. Eine Lösung liefert die mittelwertbasierte Beschreibung nach der Quantendekodierung. Für einen Bitstrom bei einer Fensterlänge N_f gilt für die Anzahl von positiven und negativen Quanten nach den Gleichungen (2.65) und (2.66)

$$Q_+ = \frac{1}{4} \cdot \bar{u} \cdot N_f + \frac{1}{4} \cdot N_f \quad (5.17)$$

$$Q_- = -\frac{1}{4} \cdot \bar{u} \cdot N_f + \frac{1}{4} \cdot N_f. \quad (5.18)$$

Es wird angenommen, dass sowohl der Soll- als auch der Istwert innerhalb einer Periode konstant sind und sich damit die normierte Größe $\overline{u_{soll}}$ und $\overline{u_{ist}}$ ergeben.

$$\overline{u_{ist}} = \pm \left| \frac{U_d/2}{U_{d,max}/2} \right| \quad (5.19)$$

Eine Variation der Zwischenkreisspannung innerhalb einer PWM-Periode wird damit vernachlässigt. Die Verteilung der Quanten nach der Subtraktion ergibt sich zu

$$Q_+ = \frac{1}{4}(\overline{u_{soll}} - \overline{u_{ist}})N_f + \frac{1}{4} \cdot N_f \quad (5.20)$$

$$Q_- = -\frac{1}{4}(\overline{u_{soll}} - \overline{u_{ist}})N_f + \frac{1}{4} \cdot N_f. \quad (5.21)$$

Simulationen zeigen, dass die Aufteilung zwischen den ternären Elementen der Quantendekodierung abweicht. Die Gleichungen (5.20) und (5.21) geben allerdings den Mittelwert korrekt an. Dies ist für die Berechnung der Periodendauer ausreichend.

Zunächst wird der Fall y gleich 0 betrachtet, in dem ein negatives Phasenpotential an der Last anliegt. Nach der Subtraktion von Soll- und Istwert mit der Quantendekodierung ergibt sich folgende Verteilung der ternären Quanten in einem Fenster der Länge N_{f0} :

$$Q_+ = \frac{1}{4}(\overline{u_{soll}} - (-\overline{u_{ist}})) \cdot N_{f0} + \frac{N_{f0}}{4} \quad (5.22)$$

$$Q_- = -\frac{1}{4}(\overline{u_{soll}} - (-\overline{u_{ist}})) \cdot N_{f0} + \frac{N_{f0}}{4} \quad (5.23)$$

$$Q_0 = \frac{N_{f0}}{2}. \quad (5.24)$$

Zur Berechnung der Länge des Bitstromfensters N_{f0} sind im Vergleich zur internen Rückführung einige Besonderheiten zu berücksichtigen. Die Hysteresebreite wird um die Summe aller Totzeiten, normiert auf die Modulator-Taktfrequenz, erweitert.

$$N_{totzeit} = \frac{\sum T_{totzeit}}{T_s} \quad (5.25)$$

Die Summe aus positiven und negativen Quanten muss gleich der Summe aus der Hysteresebreite $2N_1$ und dem Totzeit-Anteil $N_{totzeit}$ sein, um einen vollen Durchlauf im Akkumulator zu erzielen.

$$(2N_1 + N_{totzeit}) \stackrel{!}{=} Q_+ - Q_- \quad (5.26)$$

$$= \frac{1}{4} (\overline{u_{soll}} + \overline{u_{ist}}) N_{f0} + \frac{N_{f0}}{4} \quad (5.27)$$

$$\frac{1}{4} (\overline{u_{soll}} + \overline{u_{ist}}) N_{f0} - \frac{N_{f0}}{4}. \quad (5.28)$$

Aufgelöst nach N_{f0} folgt

$$N_{f0} = \frac{2(2N_1 + N_{totzeit})}{\overline{u_{soll}} + \overline{u_{ist}}}. \quad (5.29)$$

Für den Fall y gleich 1, in dem ein positives Phasenpotential an der Last anliegt, führt eine analoge Vorgehensweise zu

$$N_{f1} = \frac{2(2N_1 + N_{totzeit})}{-(\overline{u_{soll}} - \overline{u_{ist}})}. \quad (5.30)$$

Die Gesamtlänge des Bitstromfensters folgt zu

$$N_f = N_{f0} + N_{f1} \quad (5.31)$$

$$N_f = (2N_1 + N_{totzeit}) \cdot 2 \cdot \left(\frac{1}{\overline{u_{soll}} + \overline{u_{ist}}} + \frac{1}{\overline{u_{ist}} - \overline{u_{soll}}} \right) \quad (5.32)$$

$$= \frac{(2N_1 + N_{totzeit}) \cdot 4 \cdot \overline{u_{ist}}}{\overline{u_{ist}}^2 - \overline{u_{soll}}^2} \quad (5.33)$$

und die mittlere Schaltfrequenz zu

$$\overline{f_{PWM}} = \frac{1}{N_f T_s} \quad (5.34)$$

$$= \frac{\overline{u_{ist}}^2 - \overline{u_{soll}}^2}{(2N_1 + N_{totzeit}) \cdot 4 \cdot \overline{u_{ist}} \cdot T_s}. \quad (5.35)$$

Abbildung 5.15 zeigt den Vergleich zwischen der Schaltfrequenz nach Gleichung (5.35) und den simulierten Werten. Die Zwischenkreisspannung wird auf 300 V abgesenkt, um deren Einfluss zu berücksichtigen. Die Fehler sind größer als in der Berechnung des Modulators mit interner Rückführung. Insbesondere steigt der Fehler bei großen Amplituden

an. Dies ist in der Vernachlässigung von stromabhängigen Spannungsabfällen zu begründen, die bei großen Spannungsamplituden und einer reinen RL-Last ohne induzierte Spannung besonders ausgeprägt sind. Insgesamt liefert Gleichung (5.35) eine ungefähre Abschätzung der Schaltfrequenz. Für eine genauere Berechnung können die stromabhängigen Spannungsabfälle $u_{ist}(i)$ berücksichtigt werden.

Die berechneten mittleren Schaltfrequenzen zeigen insgesamt eine gute Übereinstimmung mit den simulierten Verläufen. Damit ist eine Steuerung der Hysteresebreite in Abhängigkeit des Spannungssollwerts möglich. Solange die minimale und maximale Hysteresebreite nicht erreicht ist, kann diese Steuerung eine konstante mittlere Schaltfrequenz erzielen. Auch eine Regelung der mittleren Schaltfrequenz über einen langsamen Integralregler mit Vorsteuerung nach den berechneten Gleichungen ist möglich.

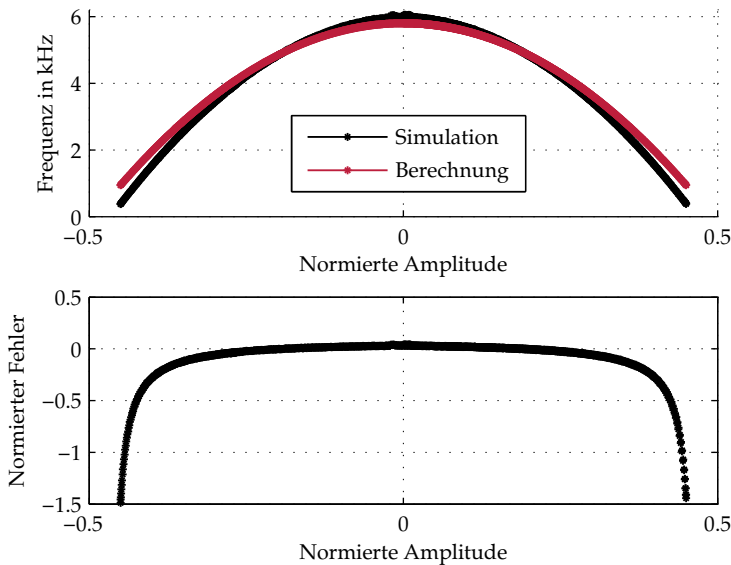


Abb. 5.15: Berechnete und simulierte Schaltfrequenz eines Hysteresemodulators mit $\Delta\Sigma$ -Rückführung

6 Dreiphasiger Delta-Sigma-PWM-Modulator

Eine Regelung mit DSSV bietet durch die hochfrequente Signalverarbeitung grundsätzlich eine hohe Bandbreite. Um diese voll nutzen zu können, ist ein hochdynamischer Modulator für die Leistungselektronik notwendig. Der einphasige Hysterese-Modulator aus dem letzten Kapitel wird auf drei Phasen erweitert. Wie im Stand der Forschung in Kapitel 1.1 beschrieben, existieren in der Literatur viele Ansätze, $\Delta\Sigma$ -Modulatoren mit momentan wirkenden Quantisierern zur Ansteuerung der Leistungselektronik einzusetzen. Allerdings sind die resultierenden mittleren Schaltfrequenzen im Bereich des $\Delta\Sigma$ -Modulator Taktes. Dieser muss damit im Vergleich zum DSSV Takt von zum Beispiel 10 MHz niederfrequent im Bereich von 10 - 40 kHz gewählt werden. Dies verhindert einen hochdynamischen dreiphasigen Modulator, da ein digitaler Tiefpassfilter mit Dezimierung notwendig ist.

Für den einphasigen Fall werden drei verschiedene Ansätze zur Reduktion der mittleren Schaltfrequenz bei hochfrequenter Taktung untersucht. Der Hysterese-Ansatz lieferte die besten Ergebnisse bezüglich Dynamik und SNDR. Ein dreiphasiger Hysterese-Modulator ist aus [57] bekannt. Dieser ermöglicht zwar eine hochdynamische Ankoppelung der DSSV-Bitströme an die Leistungselektronik, weist allerdings die im Stand der Forschung beschriebenen Nachteile auf.

Das Ziel des im Folgenden vorgeschlagenen dreiphasigen Modulators ist, diese Nachteile aufzuheben und zusätzlich eine dreiphasige Spannungs- und Stromregelung zu ermöglichen, die dynamischer als die niederfrequente Regelung mit digitalen Filtern ist.

6.1 Spannungssteuerung

Zunächst wird eine Spannungssteuerung ohne Rückführung von gemessenen Spannungen betrachtet. Abbildung 6.1 zeigt den Aufbau des dreiphasigen Hystereses Modulators mit einer Rückführung der internen PWM-Signale.

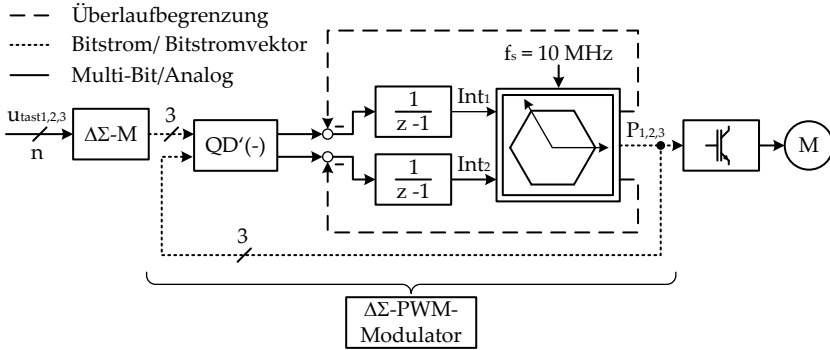


Abb. 6.1: Dreiphasige Spannungssteuerung einer PMSM

Digitale $\Delta\Sigma$ -Modulatoren setzen die Soll-Tastverhältnisse $u_{\text{tast}1,2,3}$ in die Soll-Bitströme um. Jeder der PWM Ausgänge $P_{1,2,3}$ des Modulators wird wie in Kapitel 5.2.3 als Spezialfall eines $\Delta\Sigma$ -Bitstroms behandelt. Das Grundprinzip des $\Delta\Sigma$ -PWM-Modulators besteht darin, den Regelfehler zwischen Soll- und Istwert in zwei Integratoren Int_1 und Int_2 zu akkumulieren. Die Werte der beiden Integratoren beschreiben eine Fehlertrajektorie in der Ebene. Ein zweidimensionales Hystereseglied löst in Abhängigkeit dieser Fehlertrajektorie Schaltvorgänge der Phasen $P_{1,2,3}$ aus. Dadurch wird die Fehlertrajektorie innerhalb der zweidimensionalen Hysteresefläche gehalten. Erst bei einer Übersteuerung, wenn die Sollspannung größer als die verfügbare Spannung ist, muss ein unkontrolliertes Anwachsen der Integratorstände durch gezieltes Reduzieren der Integratoren verhindert werden. Im Gegensatz zu dem Verfahren in [57] wird die Fehlertrajektorie und der Regelfehler nicht im 90° System, sondern direkt im schiefwinkligen 120° Koordinatensystem der drei Phasen berechnet. Dadurch wird eine symmetrische mittlere Schaltfrequenz bezüg-

lich der drei Phasen erreicht, da keine Phase bevorzugt wird. Die Bildung des Regelfehlers im schiefwinkligen 120° Koordinatensystem erfordert besondere Maßnahmen, da Soll- und Istwert als Raumzeiger mit drei Koordinaten vorliegen. Für den Regelfehler ist allerdings eine Beschreibung mit zwei Koordinaten ausreichend. Die Redundanz in der Raumzeigerdarstellung ergibt sich durch ein zusätzliches Nullsystem. Dies muss bei der Berechnung des Regelfehlers entfallen, da sonst der Gleichanteil ein unkontrolliertes Anwachsen der Integratoren verursachen würde.

Eine Spannung mit den drei Phasenpotentialen u_{p1} , u_{p2} , u_{p3} lautet in Raumzeigerdarstellung nach [96]

$$\underline{u}_{ist} = u_{p1}e^{j0} + u_{p2}e^{j\gamma} + u_{p3}e^{j2\gamma} \quad \text{mit } \gamma = \frac{2\pi}{3}. \quad (6.1)$$

Die drei Koordinaten der Raumzeigerdarstellung sind in Abbildung 6.2 dargestellt.

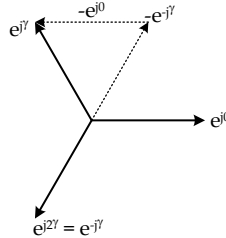


Abb. 6.2: Koordinaten der Raumzeigerdarstellung

Von drei Achsen kann jeweils eine durch die beiden anderen beschrieben werden. In dieser Arbeit wird die dritte Phase $e^{j2\gamma}$ in Anteile in Phase 1 e^{j0} und Phase 2 $e^{j\gamma}$ umgerechnet. Die anderen Permutationen sind aufgrund der Symmetrie der dreiphasigen Koordinaten ebenfalls möglich. Eine Drehung des Vektors der dritten Koordinate $e^{-j\gamma}$ um π ergibt

$$-e^{-j\gamma} = +\frac{1}{2} + j\frac{\sqrt{3}}{2} = e^{j\frac{\pi}{3}} = e^{j\frac{\gamma}{2}}. \quad (6.2)$$

Der Vektor $e^{j\frac{\gamma}{2}}$ bildet die Winkelhalbierende der ersten und zweiten Pha-

sen. Eine Vektoraddition von $-e^{-j\gamma}$ und der negativen ersten Phase ergibt, wie in Abbildung 6.2 gezeigt, die zweite Phase.

$$-e^{-j\gamma} - 1 = -(\cos(\gamma) - j \sin(\gamma)) - 1 \quad (6.3)$$

$$= -\frac{1}{2} + j \frac{\sqrt{3}}{2} \quad (6.4)$$

$$= e^{j\gamma} \quad (6.5)$$

Daraus folgt:

$$-e^{j\gamma} - 1 = e^{-j\gamma}. \quad (6.6)$$

Die Gleichung (6.6) wird in die Raumzeigerdarstellung nach Gleichung (6.1) eingesetzt.

$$\underline{u}_{ist} = u_{p1}e^{j0} + u_{p2}e^{j\gamma} + u_{p3}e^{-j\gamma} \quad (6.7)$$

$$\underline{u}_{ist} = u_{p1}e^{j0} + u_{p2}e^{j\gamma} + u_{p3}(-e^{j\gamma} - e^{j0}) \quad (6.8)$$

$$= (u_{p1} - u_{p3})e^{j0} + (u_{p2} - u_{p3})e^{j\gamma} \quad (6.9)$$

Durch die Differenzbildung in der Gleichung (6.9) wird der Raumzeiger \underline{u}_{ist} in zwei 120° Koordinaten beschrieben. Im Falle eines Nullvektors, in dem alle Schalter entweder geschlossen oder offen sind, entsteht auf diese Weise eine Null in Phase 1 und 2. Damit wird ein eventuelles Nullsystem unterdrückt.

Der Regelfehler \underline{u}_e zwischen Soll- und Ist-Raumzeiger wird, wie in Abbildung 6.3 skizziert, vektoriell berechnet. Die Zerlegung in die Komponenten entlang der ersten und zweiten Koordinate des 120° Systems $u_{e,1}$ und $u_{e,2}$ wird mit den Gleichungen (6.10) und (6.11) berechnet.

$$u_{e,1} = u_{soll,1} - u_{soll,3} - (u_{p1} - u_{p3}) \quad (6.10)$$

$$u_{e,2} = u_{soll,2} - u_{soll,3} - (u_{p2} - u_{p3}) \quad (6.11)$$

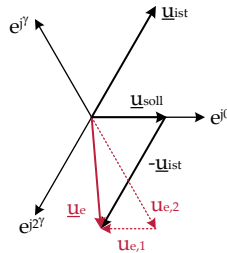


Abb. 6.3: Vektorielle Berechnung des Regelfehlers

Für die komponentenweise Berechnung des Regelfehlers wird im ersten Schritt eine Quantendekodierung der Bitströme der Komponenten des Soll- und Ist-Raumzeigers durchgeführt. Im zweiten Schritt wird die Summe der Quanten nach den Gleichungen (6.10) und (6.11) berechnet und den Integratoren zugeführt. Die Subtraktionstabelle $QD'(-)$ für den dreiphasigen $\Delta\Sigma$ -PWM-Modulator leitet sich aus der Quantendekodierung nach Tabelle 2.3 und den Gleichungen (6.10) und (6.11) ab.

Der Ist-Spannungsraumzeiger kann aufgrund der binären Schaltzustände des Ausgangs $P_{1,2,3}$ nur acht diskrete Vektoren annehmen. Diese bestehen aus sechs aktiven Vektoren, in denen ein oder zwei Schalter geschlossen sind, und zwei Nullvektoren, in denen alle Schalter geschlossen oder offen sind [95,96]. Die aktiven Vektoren spannen ein Sechseck auf [95,96]. Für die Funktionsweise des $\Delta\Sigma$ -PWM-Modulators ergeben sich für aktive Vektoren und Nullvektoren zwei unterschiedliche Verläufe der Fehlertrajektorie. Wenn ein Nullvektor geschaltet ist, dann heben sich, wie bereits gezeigt, die Beiträge der Ist-Spannung auf. Die Eingänge der Integratoren erhalten nur Anteile der Soll-Spannung, wodurch sich die Fehlertrajektorie in Richtung des Soll-Spannungsraumzeigers bewegt. Im Falle von aktiven Vektoren wird der vektorielle Regelfehler wie in Abbildung 6.3 aus dem Sollwert und einem der sechs aktiven Vektoren gebildet. Die Fehlertrajektorie bewegt sich entlang des Regelfehlers.

Zur Vermeidung von sehr kurzen Einschaltzeiten wie in dem Verfahren nach [57] wird eine Betrags- und Phasenhysterese eingeführt. Die Abbildungen 6.4 a) und b) zeigen jeweils ein Umrichter-Sechseck mit den akti-

ven Vektoren. Die aktiven Vektoren werden nach der Anzahl der Phasen, die gleich „1“ sind, als V_1 oder V_2 Vektoren bezeichnet.

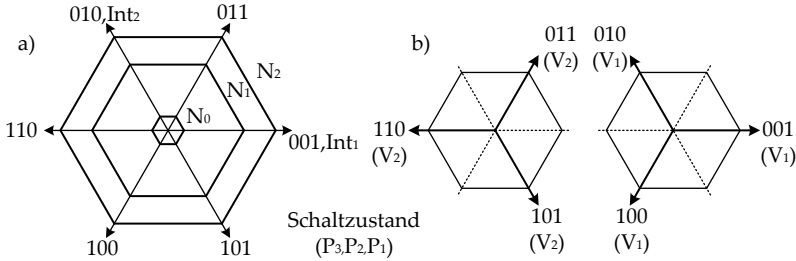


Abb. 6.4: Betrags- und Phasenhysterese des Modulators

Die Betragshysterese beinhaltet, wie in Abbildung 6.4 a) dargestellt, die drei Schwellwerte N_0 , N_1 und N_2 . Der Hysterese-Schwellwert N_0 verbessert das Schaltverhalten, wenn die Fehlertrajektorie sich um den Ursprung bewegt. Die mittlere Schaltfrequenz wird im Wesentlichen von dem Schwellwert N_1 bestimmt. Zur Begrenzung der Fehlertrajektorie im Fall von Übermodulation wird die dritte Hysterese-Schwelle N_2 eingeführt. Jedem aktiven Vektor wird ein 120° Sektor als Phasenhysterese, wie in Abbildung 6.4 b) dargestellt, zugeordnet. Solange die Fehlertrajektorie innerhalb dieses 120° Sektors bleibt, erfolgt keine Schalthandlung. Diese wird erst beim Übertreten des aktiven 120° Sektors ausgelöst.

Diese Maßnahmen ermöglichen allerdings noch keine Schaltsequenz nach Raumzeigermodulation. Dies wird erst mit der Einführung eines Zustandsautomaten möglich, welcher unter anderem ein Zyklusbit zur Speicherung der letzten Nullvektorart verwendet. Insgesamt ergibt sich folgendes Schaltmuster:

$$(000) \rightarrow V_1 \rightarrow V_2 \rightarrow (111) \rightarrow V_2 \rightarrow V_1 \rightarrow (000). \quad (6.12)$$

Der Ablauf des Zustandsautomaten ist ausführlich in [HS15] beschrieben. In dieser Arbeit wird der Zyklus nach Gleichung (6.12) anhand einer beispielhaften Fehlertrajektorie erläutert.

Abbildung 6.5 a) zeigt den Halbzyklus der Raumzeigermodulation, der mit dem Nullvektor (000) beginnt, anhand des Verlaufs der Fehlertrajektorie.

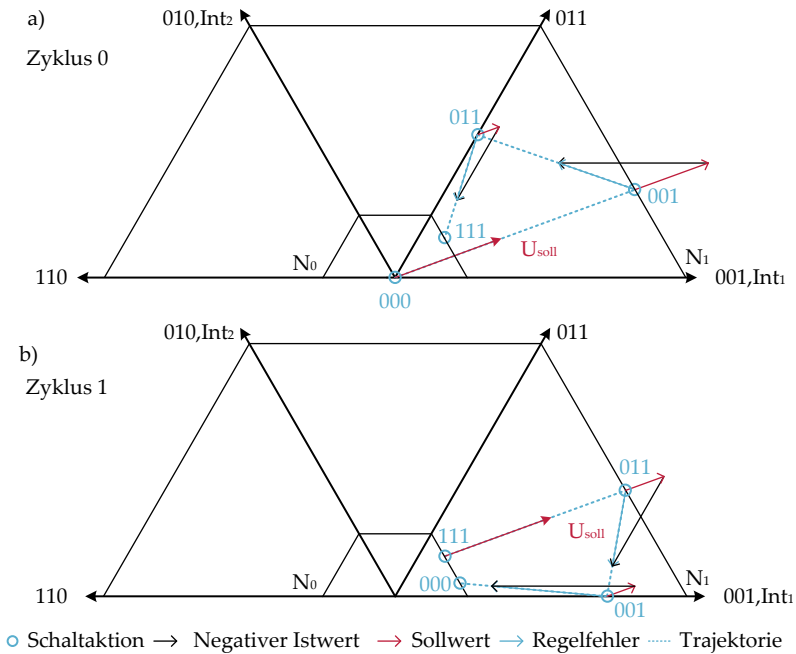


Abb. 6.5: Beispielhafte Fehlertrajektorie

Der untere Teil des Umlenkevierecks ist für eine bessere Übersicht ausgeblendet. Der erste Halbzyklus der Raumzeigermodulation wird durch eine „0“ im Zyklusbit gekennzeichnet. Es wird angenommen, dass sich zu Anfang der Regelfehler im Ursprung befindet und der Nullvektor (000) eingeschaltet ist. Der Soll-Spannungsraumzeiger bestimmt die Richtung und die Geschwindigkeit der Fehlertrajektorie. Das Erreichen der N_0 -Schwelle löst keine Schalthandlung aus, da diese nur für den Übergang von einem aktiven Vektor in einen Nullvektor vorgesehen ist. Wenn die Fehlertrajektorie die N_1 -Schwelle überschreitet, wird ein aktiver Vektor geschaltet. Da zuletzt der Nullvektor (000) geschaltet wurde, muss nach Gleichung (6.12) ein V_1 -Vektor ausgewählt werden. Dieser wird entspre-

chend der Zugehörigkeit zu einem 120° Sektor der Phasenhysterese nach Abbildung 6.4 b) gewählt. Es wird der V_1 -Vektor (001) geschaltet und der 120° -Sektor zwischen (011) und (101) als Phasenhysterese aktiviert. Der Regelfehler zwischen Soll- und Ist-Wert bestimmt den weiteren Verlauf der Fehlertrajektorie. Das Zeigerdiagramm am Schnittpunkt der Fehlertrajektorie und der N_1 -Schwelle verdeutlicht die vektorielle Regelfehler Berechnung. Aus Gründen der besseren Visualisierung ist das Zeigerdiagramm nicht maßstabsgetreu.

Die Fehlertrajektorie verläuft solange in Richtung des Regelfehlers, bis ein V_2 -Vektor, der Teil der aktivierten Phasenhysterese ist, erreicht wird. Dieser V_2 -Vektor, in diesem Fall (011), wird als nächster aktiver Vektor geschaltet und eine Phasenhysterese nach Abbildung 6.4 b) gewählt. Der 120° -Sektor wird durch die beiden V_1 -Vektoren (001) und (010) begrenzt. Der weitere Verlauf wird durch die Bildung des vektoriellen Regelfehlers bestimmt. Der Nullvektor (111) wird geschaltet, wenn entweder die N_0 -Schwelle erreicht oder die aktivierte Phasenhysterese verlassen wird. Der Grund für die Einführung der N_0 -Schwelle wird im Kapitel 6.2 erläutert. Mit dem Einschalten des Nullvektors (111) ist der erste Halbzyklus der Raumzeigermodulation beendet. Das Zyklusbit wird auf „1“ gesetzt. Der zweite Halbzyklus läuft nach denselben Regeln ab. Die Vektoren werden in umgekehrter Reihenfolge geschaltet. Abbildung 6.5 b) zeigt einen beispielhaften Verlauf der Fehlertrajektorie.

Der Einsatz einer echten Raumzeigermodulation bietet den Vorteil von geringen PWM-Harmonischen und einer erhöhten Spannungsausnutzung gegenüber einer Modulation mit festem Nullpunkt. Für eine nochmals verbesserte Spannungsausnutzung werden beim Betrieb nahe der Spannungsgrenze des Umrichters Nullvektoren aus der Sequenz in Gleichung (6.12) ausgelassen. Dieser Betrieb wird als Auslassung von Nullvektoren bezeichnet. Dies führt allerdings zu erhöhten PWM-Harmonischen, die jedoch erst bei hohen Aussteuergraden auftreten. Nullvektoren werden ausgelassen, sobald die Fehlertrajektorie den 120° Sektor der Phasenhysterese außerhalb von N_1 verlässt. Dieser Fall kennzeichnet den beginnenden Übergang zur Übermodulation, in der Nullvektoren vollständig ausgelassen und nur aktive Vektoren geschal-

tet werden. In der Übermodulation erreicht die Fehlertrajektorie den Schwellwert N_2 und der $\Delta\Sigma$ -PWM-Modulator ist in der Begrenzung. Der Betrag des Sollwertes kann durch die Istwerte nicht mehr bedient werden und es müssen daher Inkremente der Integratoren gelöscht werden, um ein Integrator „windup“ zu verhindern. Da der Betrag des Sollwertes begrenzt ist, bleibt dessen Phasenlage als Freiheitsgrad. Eine Reduktion der Inkremente, die parallel zum letzten aktiven Vektor liegen, stellt eine korrekte Modulation dieser Phasenlage sicher.

6.2 Spannungsregelung

Der beschriebene $\Delta\Sigma$ -PWM-Modulator löst die Probleme des Verfahrens nach [57]. Allerdings werden die Fehlspannungen des Umrichters und die Variation der Zwischenkreisspannung nicht berücksichtigt. Ähnlich wie im einphasigen Fall gezeigt, ermöglicht eine Spannungsrückführung eine Kompensation dieser Effekte. Da die internen PWM-Signale bereits als Bitstrom behandelt werden, kann eine direkte Rückführung der Phasenpotentiale des Umrichters über $\Delta\Sigma$ -Modulatoren wie in Abbildung 6.6 erfolgen.

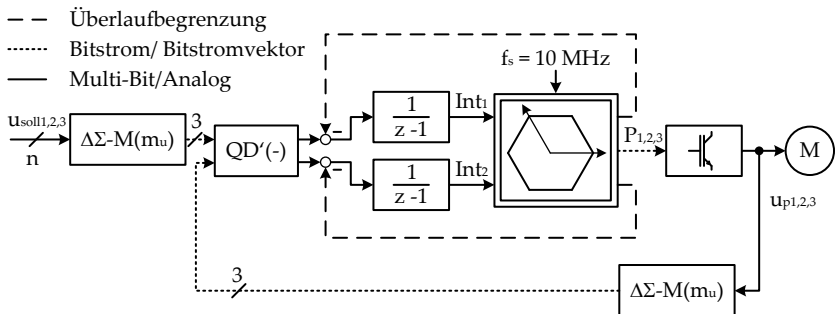


Abb. 6.6: Dreiphasige Spannungsregelung einer PMSM

Die Rückführung der Spannungen über einen analogen $\Delta\Sigma$ -Modulator verändert die Skalierung der Soll-Bitströme. Mit der internen Rückführung aus dem Kapitel 6.1 werden Tastverhältnisse unabhängig von den Spannungspegeln der Leistungselektronik vorgegeben. Durch die

Spannungsrückführung bestimmt der Eingangsspannungsbereich m_u des analogen $\Delta\Sigma$ -Modulators die Skalierung der Sollwerte $U_{soll1,2,3}$.

Die Wirkung der Spannungsregelung wird anhand einer Simulation analog zu Kapitel 5.2.1 demonstriert. Der $\Delta\Sigma$ -PWM-Modulator wird mit einer dreiphasigen sinusförmigen Spannung mit der Frequenz 10 Hz und der Soll-Amplitude von 67 V beaufschlagt. In der Simulation wird entweder eine interne Rückführung der PWM Signale oder eine Spannungsrückführung über $\Delta\Sigma$ -Modulatoren bei unterschiedlicher Zwischenkreisspannung U_d eingestellt. Abbildung 6.7 zeigt den ersten Phasenstrom einer dreiphasigen RL-Last.

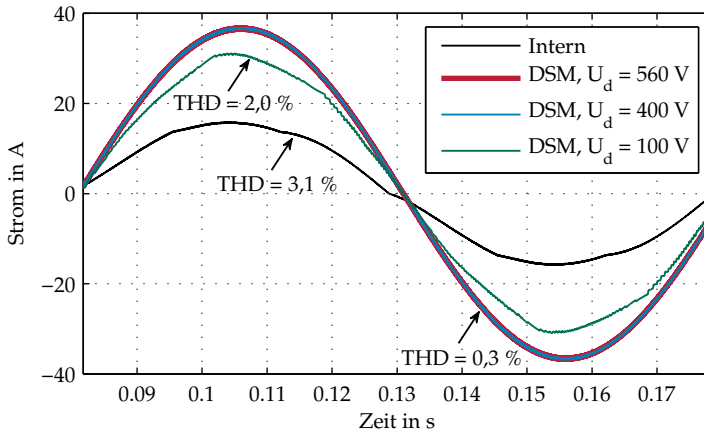


Abb. 6.7: Vergleich des ersten Phasenstroms für verschiedene Rückführungen

Der Phasenstrom beim Betrieb mit interner Rückführung zeigt vor allem im Nulldurchgang eine deutliche Abweichung vom idealen Sinusverlauf. Durch die Verschaltung der RL-Last im Stern haben die Fehlspannungen der anderen Phasen auch Auswirkungen auf den ersten Phasenstrom. Diese sind zwischen den Nulldurchgängen von Phasenstrom 1 zu beobachten. Eine Spannungsregelung mit ausreichender Zwischenkreisspannung, bei der gewählten Amplitude sind dies 560 V und 400 V, bewirkt eine deutlich bessere Abbildung des sinusförmigen Verlaufs. Dies belegt auch der deutlich geringere THD. Durch die Spannungsregelung verän-

dert sich der Stromverlauf bei einer Absenkung von 560 V auf 400 V nicht signifikant. Der $\Delta\Sigma$ -PWM-Modulator ist in Begrenzung, wenn die Zwischenkreisspannung unter den Sollwert abgesenkt wird. In diesem Fall wird von der Betriebsart Raumzeigermodulation auf die Betriebsart Übermodulation gewechselt, um die maximal mögliche Spannung zu erzielen. Der Verlauf des Phasenstroms bei einer Zwischenkreisspannung von 100 V zeigt, dass eine ähnlich gute Abbildung des sinusförmigen Verlaufs wie bei der Betriebsart Raumzeigermodulation nicht mehr möglich ist. Der Phasenstrom weist einen größeren THD auf, der jedoch geringer als der THD der Spannungssteuerung ist. Damit ist eine bessere Begrenzung als im einphasigen Betrieb möglich.

Der in Kapitel 6.1 beschriebene Zustandsautomat wird wie im Falle der Spannungsrückführung umgesetzt. Es entstehen auch prinzipiell gleiche Abläufe der Fehlertrajektorie. Allerdings besteht im Fall der Regelung eine Verzögerung zwischen dem Auslösen einer Schalthandlung und der Reaktion der Ist-Bitströme. Diese Verzögerung setzt sich unter anderem aus Verzögerungen der Leistungselektronik und der $\Delta\Sigma$ -Modulatoren zusammen und bewirkt, dass die Fehlertrajektorie auch nach einer Schalthandlung noch in Richtung des alten Regelfehlers läuft. Die Beschreibung der Fehlertrajektorie in Kapitel 6.1 zeigt, dass insbesondere auf dem Weg von einem aktiven Vektor in einen Nullvektor die Fehlertrajektorie in Richtung Koordinatenursprung läuft. Die N_0 -Schwelle sorgt für ein frühzeitiges Umschalten in den Nullvektor, so dass der totzeitbedingte Überschwinger der Fehlertrajektorie möglichst nicht über den Ursprung hinausläuft. Im weiteren Verlauf könnten sonst aktive Vektoren geschaltet werden, die nicht an den Sollwert-Vektor angrenzen. Dies würde zwar zu dem richtigen Spannungsmittelwert führen, allerdings würden auch erhöhte PWM-Harmonische verursacht.

6.2.1 Dynamisches Verhalten

Das hochdynamische Verhalten der Spannungsregelung wird experimentell über die Messung eines Bode-Diagramms verifiziert. Die PMSM wird für die Messung festgebremst. Da die Bitströme eines $\Delta\Sigma$ -Modulators

keinen aussagekräftigen Augenblickswert aufweisen, wird ein spezieller Messaufbau verwendet. Für Soll- und Ist-Bitstrom wird ein identischer Tiefpassfilter verwendet, um gleiche Phasenbezüge zu gewährleisten. Es wird der in Kapitel 2.3.2 beschriebene zweistufige Filter mit fester Filterlänge verwendet, da dessen nahezu gleichgewichtete Impulsantwort sich insbesondere zur Spannungsmessung eignet. Der Regelkreis des $\Delta\Sigma$ -PWM-Modulators ist durch das Hystereseglied nichtlinear.

Daher wird das Bode-Diagramm nicht durch breitbandiges Rauschen wie zum Beispiel eine „Pseudorandom Binary Sequence“, sondern mit diskreten Frequenzen angeregt. Da das Bode-Diagramm für eine harmonische Anregung ohne Oberschwingungen definiert ist, wird auf die gefilterten Soll- und Istbitströme eine weitere Filterung mit der Methode der kleinsten Fehlerquadrate angewendet, die nur den Grundschwingungsanteil berücksichtigt. Störungen, die dadurch entstehen, dass die Filterlänge nicht der variierenden Schaltfrequenz angepasst wird, werden dadurch in der Analyse unterdrückt. Die Anregung der Spannungsregelung erfolgt mit einer symmetrischen dreiphasigen Spannungsvorgabe. Soll- und Istwerte werden vom 120° -System ins 90° -System anhand der Vorschrift in Kapitel 7 transformiert und anschließend der Grundschwingungsanteil ermittelt. Betrag und Phase werden in polarer Darstellung für jeden Messpunkt ermittelt und anschließend eine Mittelwertbildung durchgeführt.

Für eine Amplitude von 40 V ergibt sich das experimentell bestimmte Bode-Diagramm in Abbildung 6.8. Die mittlere Schaltfrequenz variiert im Experiment von minimal 9,33 kHz bis maximal 9,69 kHz. Im Mittel über alle Arbeitspunkte ist die mittlere Schaltfrequenz 9,5 kHz. Pro Arbeitspunkt wird über eine Messperiode von 2 s gemessen. Bei der niedrigsten Anregungsfrequenz werden 200 Sinusperioden zur Auswertung genutzt, bei höheren Anregungsfrequenzen entsprechend mehr.

Das Bode-Diagramm der Spannungsregelung stimmt in guter Näherung mit dem Verlauf des Bode-Diagramms des Halteglieds eines Umrichters aus Kapitel 3.1 überein. Der Betragsabfall ist vernachlässigbar klein und die Phase sinkt linear mit der Frequenz. Eine lineare Ausgleichsgerade liefert eine Totzeit von ca. $T_{l,u} = 10 \mu s$. Dieses Ergebnis wird mit dem

dynamischen Verhalten einer PWM-Einheit mit synchroner Logik verglichen. Die Näherung des Halteglieds einer PWM Einheit für einmalige Aktualisierung pro PWM-Periode durch eine Totzeit ist in Gleichung (3.9) beschrieben. Für den Vergleich mit dem $\Delta\Sigma$ -PWM-Modulator wird eine zweimalige Aktualisierung pro PWM-Periode angesetzt und es folgt daher

$$G_t = e^{-s \cdot T_{PWM}/4} \approx G_h. \quad (6.13)$$

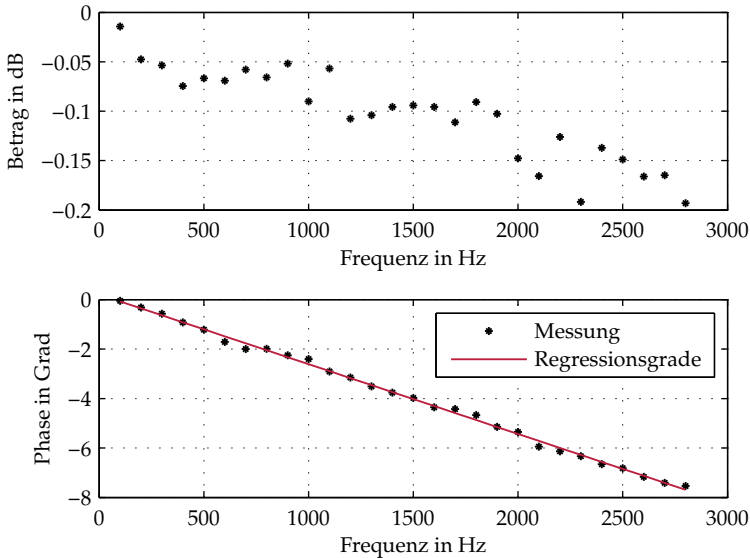


Abb. 6.8: Bode-Diagramm der Spannungsregelung

Für eine Schaltfrequenz von 9,5 kHz ergibt sich für eine PWM mit synchroner Logik nach Gleichung (6.13) die Totzeit $T_{Tot,PWM}$.

$$T_{Tot,PWM} = \frac{T_{PWM}}{4} = \frac{1}{4 \cdot 9,5 \text{ kHz}} \approx 26 \mu\text{s} \quad (6.14)$$

Aufgrund der hochfrequenten DSSV ist die Totzeit des $\Delta\Sigma$ -PWM-Modulators mit Spannungsrückführung geringer als die Totzeit einer

gewöhnlichen PWM Einheit ohne Rückführung. Die dynamischen Vorteile ergeben sich dadurch, dass auch kurz vor Auslösen der Schaltflanke noch Quanten der Bitströme das Schaltverhalten verändern können. Die gewöhnliche PWM Einheit mit synchroner Logik kann maximal zweimal pro PWM Periode zu festen Zeitpunkten das PWM Muster für die folgende Halbperiode festlegen.

6.2.2 Schaltfrequenzverhalten

Die Symmetrie der mittleren Schaltfrequenz bezüglich der drei Phasen wird experimentell untersucht. Abbildung 6.9 zeigt den gemessenen Verlauf über dem Sollwert der Spitzenphasenspannung mit den Parametern

$$N_0 = 10, N_1 = 60, N_2 = 120. \quad (6.15)$$

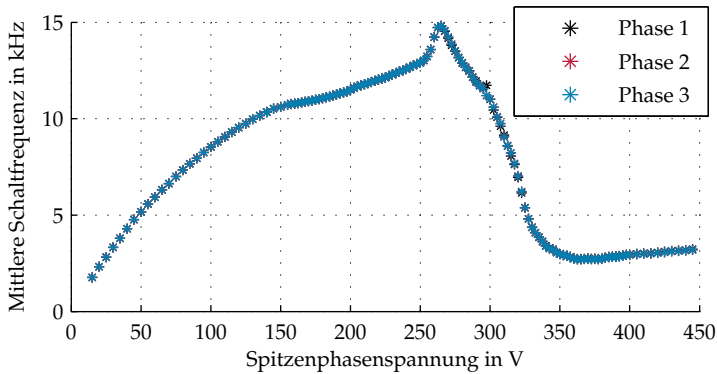


Abb. 6.9: Experimentell ermittelte mittlere Schaltfrequenz

Über den gesamten Betriebsbereich einschließlich der Übermodulation ab 325 V zeigen alle drei Phasen für jeden Arbeitspunkt nahezu identische Schaltfrequenzen. Dies bestätigt den Ansatz der Berechnung der Fehlertrajektorie im 120° System für eine symmetrische Schaltfrequenz.

Die drei Betriebsarten des $\Delta\Sigma$ -PWM-Modulators sind Raumzeigermodulation, Auslassung von Nullvektoren und Übermodulation. Um die-

se dem Frequenzverlauf zuzuordnen, werden weitere Messgrößen eingeführt. Genau wie im einphasigen Fall bewegt sich die Fehlertrajektorie aufgrund von Verzögerungen zwischen dem gestellten PWM-Signal und der gemessenen Spannung auch bei kleinen Soll-Spannungen außerhalb des N_1 Schwellwertes. Die Verzögerungen entstehen unter anderem durch Totzeiten zum Schutz der Leistungshalbleiter, Anstiegszeiten der Leistungsschalter und des dynamischen Verhaltens der $\Delta\Sigma$ -Modulatoren in der Spannungsrückführung. Es wird daher eine neue Schwelle N_{1X} eingeführt

$$N_{1X} = N_1 + x \quad (6.16)$$

$$N_{1X} = N_1 + \frac{\sum T_{\text{verzögerung}}}{T_s}, \quad (6.17)$$

die erst anspricht, wenn der $\Delta\Sigma$ -PWM-Modulator beginnt, Nullvektoren aus der Raumzeigermodulation auszulassen, um die verfügbare Spannung zu erhöhen. Bei einer Überschreitung der Schwelle N_{1X} wird der N_{1X} -Indikator solange auf „1“ gesetzt, bis die Schwelle nicht mehr überschritten ist. Ansonsten ist der N_{1X} -Indikator „0“. Praktische Versuche haben gezeigt, dass für $\sum T_{\text{verzögerung}}$ im Wesentlichen die Totzeit zum Schutz der Leistungshalbleiter anzusetzen ist. Mit einer Totzeit von $1 \mu s$ folgt

$$x = \frac{1 \mu s}{100 ns} = 10. \quad (6.18)$$

Die Übermodulation, in der nur aktive Vektoren geschaltet werden, wird mit dem Überschreiten des N_2 Schwellwertes detektiert. Die Informationen bei Überschreiten des N_{1X} - und N_2 -Schwellwertes liegen teilweise zeitlich nur sehr kurz vor. Im Extremfall wird ein Schwellwert nur für einen $\Delta\Sigma$ -Modulator Takt überschritten. Daher müssen diese sinnvoll für einen längeren Zeitraum zusammengefasst werden. In Simulationen wer-

den über eine zeitliche Periode die Frequenz und das Tastverhältnis der N_{1X} und N_2 Überschreitungen ermittelt. Das mittlere Tastverhältnis

$$N_{1X,tast} = \frac{\sum „1“}{\sum „0“ + \sum „1“} \quad (6.19)$$

liefert dabei eine genauere Aussage. Abbildung 6.10 zeigt das Ergebnis einer Simulation eines $\Delta\Sigma$ -PWM-Modulators mit Spannungsrückführung und Berücksichtigung von Spannungsabfällen von Gleichrichter, IGBT und Diode. Die Spannungsregelung wird mit dreiphasigen sinusförmigen Spannungen mit einer Frequenz von 130 Hz angeregt.

Neben den Verläufen der N_{1X} und N_2 Tastverhältnisse ist auch der Spitzenwert des Phasenstroms aufgetragen, um zu ermitteln, wann die maximale Spannung über der Impedanz erreicht ist. Ab 290 V beginnt das N_{1X} Tastverhältnis signifikant zu steigen. Dies deutet darauf hin, dass die Soll-Spannung zumindest zeitweise größer ist als die Ist-Spannung. Zur Erhöhung der Ist-Spannung werden von dem $\Delta\Sigma$ -PWM-Modulator Nullvektoren in der Raumzeigermodulation ausgelassen und die integrale Spannungsregelung führt zu einem Absenken der Schaltfrequenz. Daher ist die höchste mittlere Schaltfrequenz beim Erreichen der Spannungsgrenze zu verzeichnen. Eine Abschätzung der maximalen Spitzenphasenspannung \hat{u}_p , bei der eine rein sinusförmige Trajektorie des Spannungsraumzeigers im Umrichtersechseck möglich ist, muss alle Spannungsabfälle vom speisenden Netz bis zu den Phasenpotentialen des Umrichters berücksichtigen. Die minimale Spannung eines idealen Gleichrichters am 400 V Netz beträgt

$$\hat{u}_{p,gleich,ideal} = \underbrace{400\sqrt{2}}_{\text{Spitzenwert}} \cdot \underbrace{\frac{\sqrt{3}}{2}}_{\text{Kreis im Sechseck}} \approx 490 \text{ V}. \quad (6.20)$$

Die Flussspannung der Gleichrichterdioden, Leistungshalbleiter und Leistungsdioden am Prüfstand beträgt in Summe ca. 6 V.

$$\hat{u}_{p,gleich,real} = \hat{u}_{p,gleich,ideal} - 6V \approx 484 \text{ V} \quad (6.21)$$

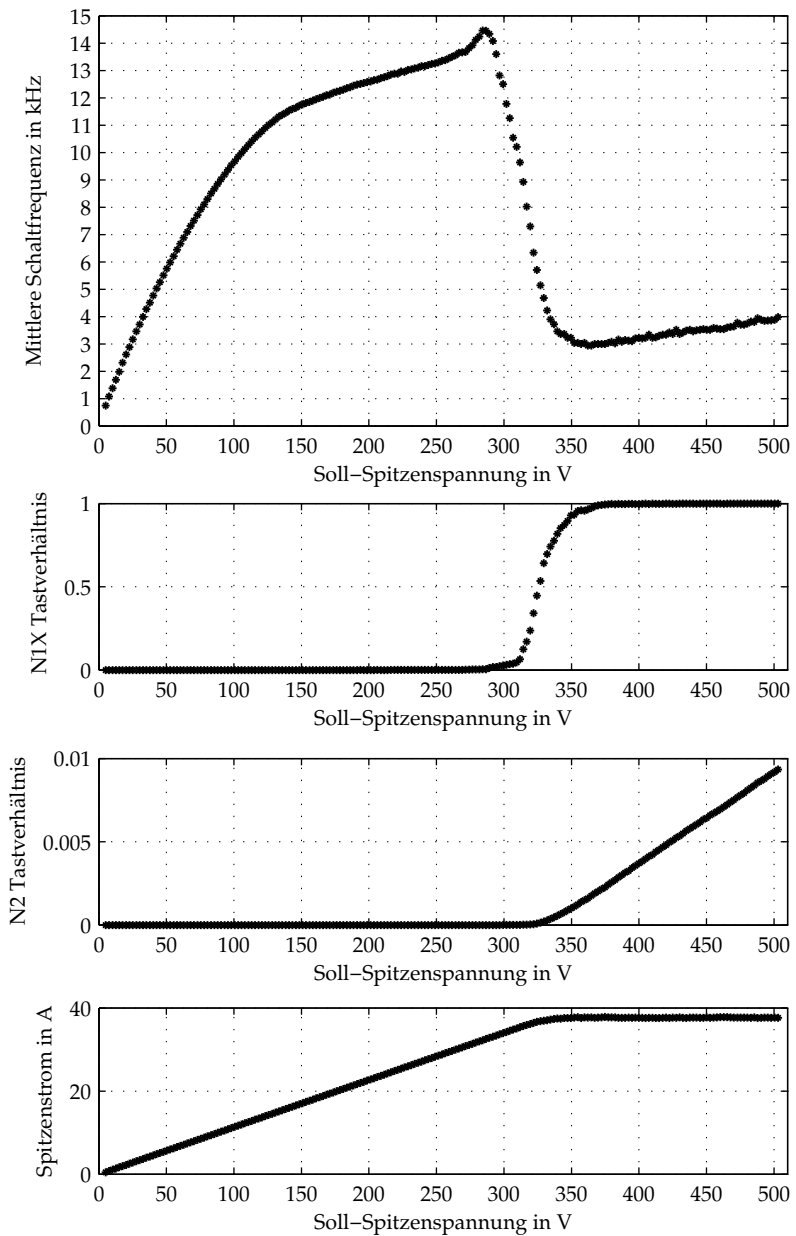


Abb. 6.10: Mittlere Schaltfrequenz mit zusätzlichen Indikatoren

Der Innenkreis im Umrichtersechseck und eine Umrechnung vom 90° ins 120° System ergeben

$$\hat{u}_{p,umrichter} = 484 \text{ V} \cdot \frac{\sqrt{3}}{2} \cdot \frac{2}{3} \approx 279 \text{ V}. \quad (6.22)$$

Zum Schutz der Leistungshalbleiter werden pro Nullpunkt des Modulationsverfahrens zwei Totzeiten eingefügt, welche die maximale Spannung begrenzen. Durch die Raumzeigermodulation werden insgesamt vier Totzeiten eingefügt, wodurch bei einer mittleren Schaltfrequenz von 15 kHz eine Aussteuerbegrenzung von 6 % entsteht. Damit folgt

$$\hat{u}_p = \hat{u}_{p,umrichter} - 0,06 \cdot \hat{u}_{p,umrichter} \approx 262 \text{ V}. \quad (6.23)$$

Dieser Wert dient lediglich einer Abschätzung, da die Spannungsabfälle von weiteren Größen wie Temperatur und Strom abhängen. In der gezeigten Simulation ist eine große Differenz zwischen der ermittelten Spannungsgrenze von 262 V und dem signifikanten N_{1X} Anstieg bei 290 V vorhanden. Allerdings ist auch bei 260 V bereits ein geringer N_{1X} Anstieg zu verzeichnen. In der Messung der mittleren Schaltfrequenz am Prüfstand in Abbildung 6.9 stimmt die Spannung bei der höchsten mittleren Schaltfrequenz in guter Näherung mit der abgeschätzten Spannung \hat{u}_p überein. Das N_2 Tastverhältnis beginnt bei 325 V zu steigen und markiert damit die Übermodulation mit rein aktiven Vektoren. Dies fällt gut mit der Sättigung des Spitzenphasenstroms zusammen. Die Ist-Spannung an der Last kann auch bei steigender Soll-Spannung nicht weiter gesteigert werden.

Neben dem mittleren Schaltfrequenzverhalten ist auch die momentane Schaltfrequenz von Interesse. Insbesondere die Verteilung der Schaltfrequenzen ist für den akustischen Eindruck und das Spektrum der PWM-Harmonischen entscheidend. In Abbildung 6.11 ist die momentane Schaltfrequenz der drei Phasen über dem Winkel des Spannungsraumzeigers für zwei verschiedene Spannungsraumzeigerlängen aufgetragen. Auch die momentanen Schaltfrequenzverläufe zeigen eine symmetrische Schaltfrequenz bezüglich der drei Phasen. Die Schaltfrequenzverläufe

innerhalb eines 60° Sektors wiederholen sich in guter Näherung in den anderen 60° Sektoren und ähneln dem einphasigen Verlauf in Abbildung 5.15. Die Maxima der Schaltfrequenz liegen im Bereich der Winkelhalbierenden zwischen V_1 und V_2 Vektoren, während die Minima im Bereich der aktiven Vektoren liegen.

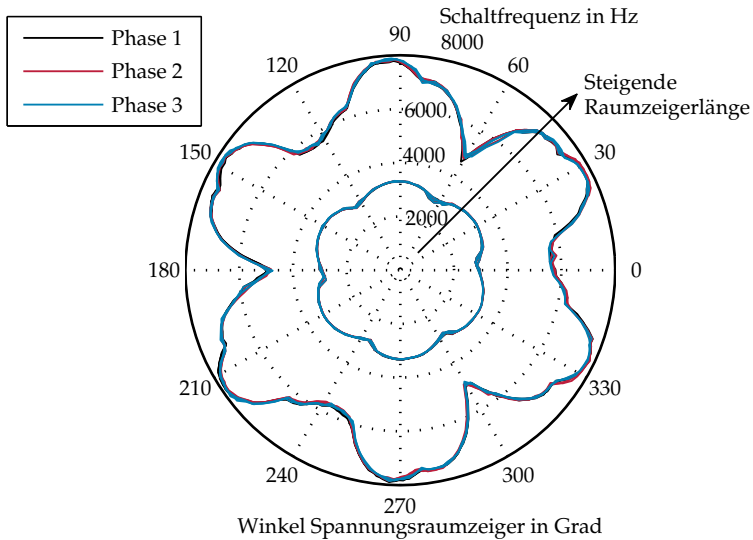


Abb. 6.11: Momentane Schaltfrequenz in polarer Darstellung für zwei verschiedene Spannungsraumzeigerlängen (Simulation)

Dies ist in dem Winkel des Soll-Spannungsraumzeigers begründet. In den Nullvektor Phasen strebt die Fehlertrajektorie in Richtung des Soll-Spannungsraumzeigers und erreicht dadurch die Betragshysterese N_1 etwa im Winkel des Soll-Spannungsraumzeigers. Wenn der Soll-Spannungsraumzeiger auf der Winkelhalbierenden der aktiven Vektoren liegt, nimmt der Schnittpunkt aus Winkelhalbierenden und Betragshysterese eine besondere Stellung ein. Von dieser Position aus ist die Entfernung zu den Sektorgrenzen der Phasenhysterese am kürzesten und daher ergibt sich die höchste Schaltfrequenz.

Der Schaltfrequenzverlauf variiert auch mit der Länge des Soll- Span-

nungsraumzeigers. Die 60° Symmetrie ist auch bei dem kürzeren Soll-Spannungsraumzeiger ausgeprägt, die Variation über einen Umlauf ist allerdings deutlich geringer. Dies ist in den größeren Nullvektoranteilen bei kurzen Soll-Spannungsraumzeigern begründet. Der zuvor beschriebene Effekt basiert auf der Wirkung der aktiven Vektoren, die allerdings bei kurzen Soll-Spannungsraumzeigern nur wenige Zeitanteile an der Gesamtperiode einnehmen und damit auch das Frequenzverhalten weniger beeinflussen.

Das Histogramm der Schaltfrequenzverteilung für zwei verschiedene Schwellwerte N_1 als Ergebnis einer Simulation zeigt Abbildung 6.12.

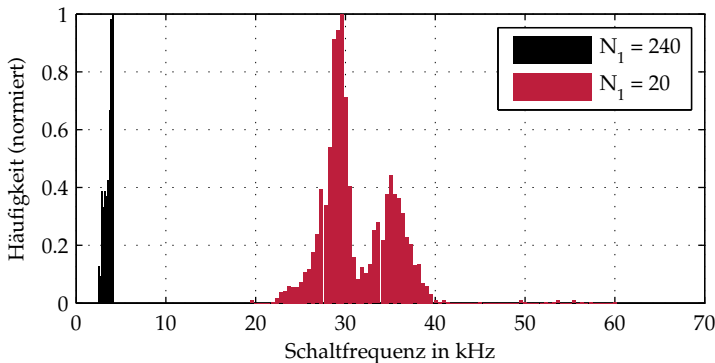


Abb. 6.12: Histogramm der Schaltfrequenzhäufigkeit

Die Breite der Schaltfrequenzhäufigkeit ist eine Funktion des Schwellwertes N_1 . Das Quantisierungsrauschen der $\Delta\Sigma$ -Modulatoren wirkt sich bei kleineren Schwellwerten stärker auf die Verteilung der Schaltfrequenzen aus, da nur eine geringe Gruppierung von einzelnen Bits stattfindet. Mit steigenden Schwellwerten wird die Gruppierung größer, es findet eine Mittelwertbildung statt. Daher verändert sich die Schaltfrequenz-Verteilung in Richtung einer konstanten Schaltfrequenz. Dies schlägt sich auch akustisch am Prüfstand nieder. Kleine Schwellwerte ergeben eine angenehmere Akustik als größere Schwellwerte. Insbesondere im Vergleich zu einer festen Schaltfrequenz im hörbaren Bereich zeigen empirische Beurteilungen, dass der $\Delta\Sigma$ -PWM-Modulator auch bei großen

Schwellwerten durch die verteilte Schaltfrequenz einen angenehmeren akustischen Eindruck bietet.

6.3 Stromregelung

Aufbauend auf der hochdynamischen Spannungsregelung sind hochdynamische Stromregelungen möglich. Der Strom wird, wie die Spannung, phasenweise über $\Delta\Sigma$ -Modulatoren zurückgeführt und der Regelfehler aus Soll- und Ist-Bitstrom mit DSSV-Operationen realisiert. Als Stromregler werden statt der bekannten rotororientierten PI-Stromregler [5] drei P-Regler im 120° -System verwendet, um die höchstmögliche Dynamik zu erreichen. Die stationäre Abweichung der P-Regler wird durch hohe Verstärkungen verringert und verbleibende Abweichungen durch einen überlagerten integralen Drehzahlregler ausgeregelt. Der Aufbau der dreiphasigen Stromregelung ist in Abbildung 6.13 gezeigt. Die P-Stromregler werden wie in Abbildung 6.14 als DSSV-Operationen implementiert.

Die physikalische Verstärkung V_p der Stromregler setzt sich zusammen aus der Verstärkung der DSSV Skalierung V_p' und dem Verhältnis der Wertebereiche der Strom- und Spannungs- $\Delta\Sigma$ -Modulatoren.

$$V_p = V_p' \frac{m_u}{m_i} = \frac{n_p}{2 \cdot m_p} \frac{m_u}{m_i} \quad [V_p] = \frac{V}{A} \quad (6.24)$$

Die Störkomponenten aus Kapitel 3.3 werden durch den Stromregler zwar verstärkt, der integrale Anteil im $\Delta\Sigma$ -Hysterese Modulator wirkt jedoch als Filter und unterdrückt die Störungen auf diese Weise.

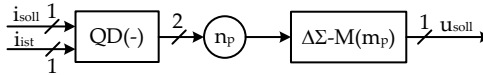


Abb. 6.14: P-Stromregler in DSSV

6.3.1 Dynamisches Verhalten

Die Dynamik der Stromregelung wird experimentell anhand der Messungen von Bode-Diagrammen mit der Methode aus Kapitel 6.2.1 ermittelt. Die PMSM wird für die Messung festgebremst. Abbildung 6.15 zeigt das gemessene Bode-Diagramm bei einer moderaten Verstärkung des P-Reglers von $94 \frac{\text{V}}{\text{A}}$ sowie die Variation der mittleren Schaltfrequenz. Die Amplitude des Soll-Stroms beträgt 1 A. Die Messperiode ist 2 s lang.

Das Bode-Diagramm in Abbildung 6.15 zeigt, dass bei -3dB Betragsabfall und einer maximalen mittleren Schaltfrequenz von ca. 10 kHz die Grenzfrequenz 5 kHz beträgt. Eine DSP-Stromregelung, die zu beiden Symmetriepunkten neue Stellgrößen berechnet¹ und auf eine Dämpfung von $1/\sqrt{2}$ eingestellt ist, erreicht bei einer festen PWM-Schaltfrequenz von 10 kHz nach [5] eine Grenzfrequenz von ca. 2,7 kHz und damit nur eine etwa halb so hohe Grenzfrequenz.

Der nichtlineare Spannungsregelkreis erschwert die dynamische Modellierung der Stromregelung. Daher wird eine Approximation des Bode-Diagramms durch bekannte lineare Übertragungsfunktionen angestrebt. Ein Vergleichs-PT₁ mit $T = 32 \mu\text{s}$ ergibt eine gute Approximation des Betragsverlaufs, während der Phasenverlauf besser durch ein Laufzeit-Verhalten mit einer Totzeit von $47 \mu\text{s}$ zu nähern ist. Allerdings gilt die gewählte Näherung mit den linearen Übertragungsfunktionen nur für diesen Arbeitspunkt und diese Form der Anregung. Weitere Messungen bei gleicher Verstärkung des Stromreglers zeigen, dass eine höhere Amplitude des Stromsollwerts auch zu einem linearen Abfall der Phase mit der Frequenz führt. Der Phasenabfall ist jedoch stärker ausgeprägt und die Grenzfrequenz ist geringer.

¹Rechenstrategie 2 nach [5]

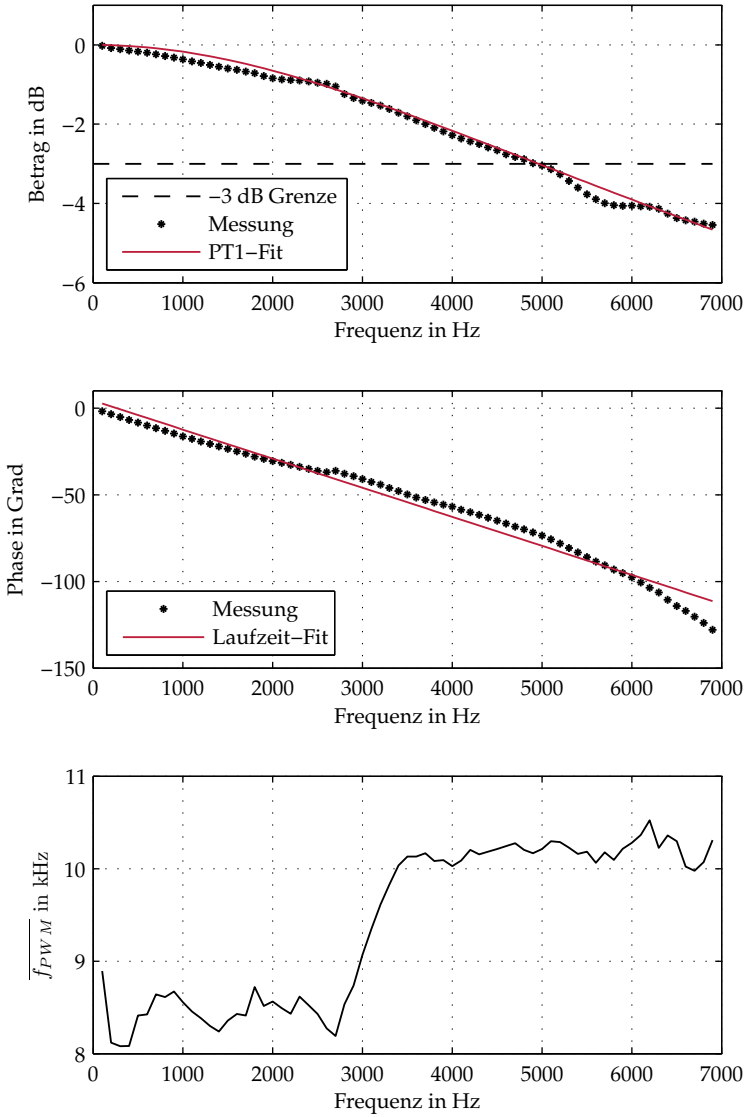


Abb. 6.15: Bode-Diagramm der Stromregelung

Eine Steigerung der Verstärkung ergibt einen linearen Phasenabfall, der einem Laufzeitglied mit einer geringeren Totzeit als bei kleineren Verstärkungen des Stromreglers entspricht. Der geringere Phasenabfall bedeutet eine Steigerung der Dynamik.

Der entwickelte $\Delta\Sigma$ -PWM-Modulator erfüllt die Forderung nach einer hochdynamischen Umsetzung von hochfrequenten $\Delta\Sigma$ -Bitströmen. Zudem werden die Nachteile des Hysterese-Modulators nach [57] aufgehoben und unter anderem eine echte Raumzeigermodulation erzielt. Die weiteren implementierten Modulationsarten ermöglichen eine effiziente Spannungsausnutzung. Zusätzlich zu dem Verfahren nach [57] ist eine Rückführung der Phasenpotentiale und Phasenströme möglich. Auswertungen von gemessenen Bode-Diagrammen zeigen, dass dadurch eine hochdynamische Strom- und Spannungsregelung möglich ist.

7 Bitstrom-basierte Regelung einer Synchronmaschine

Die Regelung von PMSM erfolgt üblicherweise in Rotorkoordinaten der Maschine [5, 95]. Die Rotororientierung erlaubt eine Aufteilung des Stromraumzeigers \underline{i}_s in feld- und drehmomentbildende Komponenten, die als i_{sd} und i_{sq} bezeichnet werden. Im stationären Zustand sind i_{sd} und i_{sq} Gleichgrößen, daher eignen sich PI-Regler zur Regelung der Stromkomponenten. Im Falle des $\Delta\Sigma$ -PWM-Modulators ist bereits eine hochdynamische dreiphasige Stromregelung in 120° Statorkoordinaten mit P-Reglern implementiert. Daher wird auf eine Regelung in Rotorkoordinaten verzichtet. Stattdessen wird der Sollwert der feld- und drehmomentbildenden Komponenten des Stromraumzeigers unter Einsatz der Rotororientierung in dreiphasige Sollwerte transformiert.

7.1 Rotororientierte Stromvorgabe

Das Modell einer Vollpol-PMSM in 90° Statorkoordinaten mit dem Statorwiderstand R_s , der Statorinduktivität L_s , dem Erregerfluss Φ_f , dem mechanischen Winkel ε sowie der mechanischen Winkelgeschwindigkeit ω lautet nach [95]

$$R_s \dot{i}_s + L_s \frac{di_s}{dt} + j\omega \frac{3}{2} \Phi_f e^{j\varepsilon} = \underline{u}_s. \quad (7.1)$$

Die induzierte Spannung in Rotorkoordinaten mit der Hauptfeldspannung in d- und q-Komponenten ergibt [96]

$$j\omega \frac{3}{2} \Phi_f = u_{hd} + ju_{hq}. \quad (7.2)$$

Da nur die Querspannungskomponente der induzierten Spannung existiert [96], gilt

$$u_{hq} = \omega \frac{3}{2} \Phi_f. \quad (7.3)$$

Die Hauptfeldspannung in Statorkoordinaten folgt nach einer Koordinatentransformation [96].

$$j\omega \frac{3}{2} \Phi_f e^{j\varepsilon} = j u_{hq} e^{j\varepsilon} \quad (7.4)$$

$$= j u_{hq} \cos \varepsilon - u_{hq} \sin \varepsilon \quad (7.5)$$

$$= u_{ha} + j u_{hb} \quad (7.6)$$

Damit folgt die Ständerspannungsgleichung für die a und b Komponente [96].

$$u_{sa} = L_s \frac{di_{sa}}{dt} + R_s i_{sa} + u_{ha} \quad (7.7)$$

$$u_{sb} = L_s \frac{di_{sb}}{dt} + R_s i_{sb} + u_{hb} \quad (7.8)$$

Die Gleichungen (7.7) und (7.8) beschreiben eine PT_1 Dynamik mit der induzierten Spannung u_{ha} und u_{hb} als Störgröße. Die Ständergleichung in Rotorkoordinaten hingegen weist als zusätzliche Störung im Regelkreis noch eine Kreuzkopplung der d- und q-Achse auf [95], die in Statorkoordinaten entfällt. Da die Stromregler in 120° Statorkoordinaten gerechnet werden, muss zur weiteren Analyse die Ständergleichung in dieses Koordinatensystem transformiert werden. Dazu wird die ab-Transformation nach [95] verwendet.

$$u_{s1} = \frac{2}{3} u_{sa} \quad (7.9)$$

$$= \frac{2}{3} L_s \frac{d\left(\frac{3}{2} i_{s1}\right)}{dt} + \frac{2}{3} R_s \left(\frac{3}{2} i_{s1}\right) + \frac{2}{3} u_{ha} \quad (7.10)$$

$$= L_s \frac{di_{s1}}{dt} + R_s i_{s1} + \frac{2}{3} u_{ha} \quad (7.11)$$

$$u_{s2} = -\frac{1}{3}u_{sa} + \frac{1}{\sqrt{3}}u_{sb} \quad (7.12)$$

$$= -\frac{1}{3} \left(L_s \frac{di_{sa}}{dt} + R_s i_{sa} + u_{ha} \right) + \frac{1}{\sqrt{3}} \left(L_s \frac{di_{sb}}{dt} + R_s i_{sb} + u_{hb} \right) \quad (7.13)$$

$$= R_s \left(-\frac{1}{3}i_{sa} + \frac{1}{\sqrt{3}}i_{sb} \right) + L_s \frac{d}{dt} \left(-\frac{1}{3}i_{sa} + \frac{1}{\sqrt{3}}i_{sb} \right) - \frac{1}{3}u_{ha} + \frac{1}{\sqrt{3}}u_{hb} \quad (7.14)$$

$$= R_s i_{s2} + L_s \frac{di_{s2}}{dt} - \frac{1}{3}u_{ha} + \frac{1}{\sqrt{3}}u_{hb} \quad (7.15)$$

$$u_{s3} = -\frac{1}{3}u_{sa} - \frac{1}{\sqrt{3}}u_{sb} \quad (7.16)$$

$$= R_s i_{s3} + L_s \frac{di_{s3}}{dt} - \frac{1}{3}u_{ha} - \frac{1}{\sqrt{3}}u_{hb} \quad (7.17)$$

Die Gleichungen (7.11), (7.15) und (7.17) zeigen, wie die Gleichungen in 90° Statorkoordinaten, eine PT₁-Dynamik mit der induzierten Spannung als Störgröße. Die Ständerspannungsgleichung nach den Gleichungen (7.11), (7.15) und (7.17) in Kombination mit der Drehmomentgleichung nach [95] und den P-Reglern in 120° Statorkoordinaten zeigt das Blockschaltbild in Abbildung 7.1. Dazu wird die Zeitkonstante T_{sa} und die Verstärkung V_s des PT₁-Glieds definiert.

$$T_{sa} = \frac{L_s}{R_s}, V_s = \frac{1}{R_s} \quad (7.18)$$

Die verwendeten Transformationen vom rotororientierten ins statorfeste (dq-Transformation) und vom 90° ins 120° statorfeste (ab-Transformation) Koordinatensystem erfolgen auf Bitstromebene, um die volle Dynamik der DSSV ohne eine niederfrequente Abtastung zu nutzen.

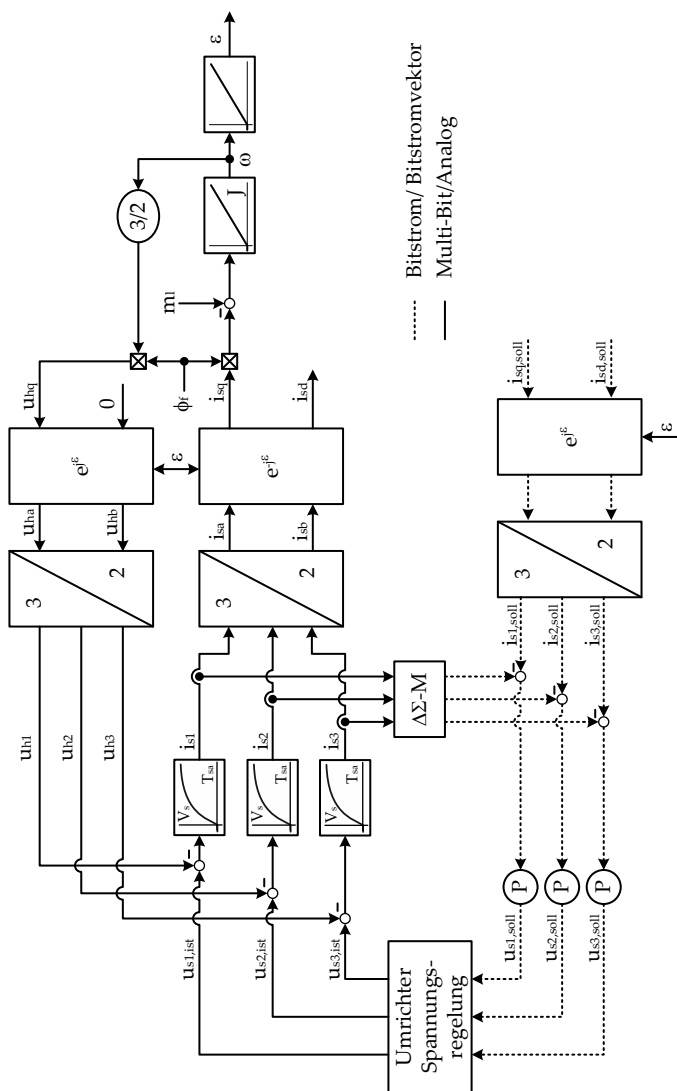


Abb. 7.1: Stromregelung in 120° Statorkoordinaten

Die Gleichungen der dq-Transformation lauten [95]

$$i_a = i_d \cos(\varepsilon) - i_q \sin(\varepsilon) \quad (7.19)$$

$$i_b = i_q \cos(\varepsilon) + i_d \sin(\varepsilon). \quad (7.20)$$

Die Besonderheit dieser Gleichungen ist die Multiplikation einer Variablen mit dem Sinus bzw. Kosinus des Rotorwinkels. Solange der Rotorwinkel als paralleles Datenwort vorliegt, ist dies mit der DSSV-Skalierung aus Kapitel 4.3 realisierbar. Die Bitstrom-basierte Auswertung von Winkelsensorik ist nicht Teil dieser Arbeit. Daher wird auf den vorhandenen Multi-Bit Winkel des Prüfstands zurückgegriffen. Dieser wird durch die hochfrequente Abtastung (10 MS/s) der Sinus/Kosinus Spuren mit Flash-ADUs und anschließender Arkustangens-Funktion über einen CORDIC Algorithmus erzielt [5]. Eine Skalierung der d- und q-Bitströme im 10 MHz-Raster erlaubt die Berücksichtigung jedes Winkelwertes. Niederfrequente zeitdiskrete Regelkreise hingegen verwenden nur einen Messwert oder wenige Messwerte im Fall einer Überabtastung, um in den PWM-Symmetriepunkten die Rotororientierung zu berechnen. Die DSSV-Skalierung erlaubt auch Winkelwerte in einem anderen niedrigeren Zeitraster, beispielsweise nach Überabtastung und Dezimierung, zu verarbeiten. Im Sinne einer Minimierung der internen $\Delta\Sigma$ -Modulatoren wird eine Quantendekodierung wie in Abbildung 7.2 verwendet.

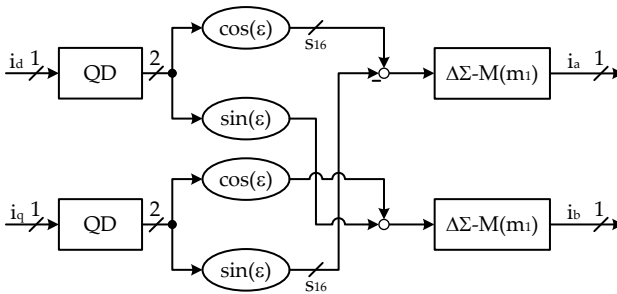


Abb. 7.2: dq-Transformation auf DSSV-Basis

Die Quanten werden mit den parallelen Datenwörtern von $\cos(\varepsilon)$ und $\sin(\varepsilon)$, die mit einer Tabelle aus den Winkelwerten erzeugt werden, ge-

wichtet. Zwei abschließende interne $\Delta\Sigma$ -Modulatoren erzeugen die Ausgangsbitströme.

Die ab-Transformation mit den Gleichungen [95]

$$i_1 = \frac{2}{3} i_a \quad (7.21)$$

$$i_2 = -\frac{1}{3} i_a + \frac{1}{\sqrt{3}} i_b \quad (7.22)$$

$$i_3 = -\frac{1}{3} i_a - \frac{1}{\sqrt{3}} i_b, \quad (7.23)$$

werden analog, wie in Abbildung 7.3 dargestellt, umgesetzt.

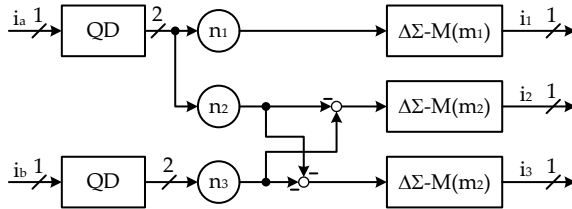


Abb. 7.3: ab-Transformation auf DSSV-Basis

Die Faktoren in den Gleichungen der ab-Transformation werden über eine geeignete Gewichtung der Quanten n_i in Relation zur Rückführung m_i des internen $\Delta\Sigma$ -Modulators realisiert.

7.1.1 Dynamisches Verhalten

Das dynamische Verhalten der Stromregelung wird anhand von Sprungantworten in der d-Achse untersucht. Im Folgenden wird ein Stillstand der Maschine angenommen, so dass mit $\omega = 0$ die induzierte Spannung 0 ist. Die Stromregelung in DSSV weist eine quasi-kontinuierliche Signalverarbeitung auf, die eine besondere Auswertung erfordert. Die Bitströme von Soll- und Istwert besitzen keinen aussagekräftigen Augenblickswert, sondern es bedarf, wie in Kapitel 2.2 vorgeschlagen, einer Mittelwertbildung über mehrere Bits. Die Filterung bewirkt einen Übergang von einem quasi-kontinuierlichen System in ein niederfrequent,

zeitdiskret abgetastetes System. Zur Beurteilung des dynamischen Verhaltens wird eine gleichartige Tiefpassfilterung von Soll- und Ist-Bitstrom vorgenommen. Die Untersuchungen aus Kapitel 3.3.3 zeigen, dass eine gleichgewichtete Mittelwertbildung beliebig zur PWM-Periode ausgerichtet werden kann, wenn die Impulsantwort des Filters gleich der PWM-Periode ist. Die beschriebene Sinc^3 - Sinc^1 -Kaskade bietet eine gute Näherung einer gleichgewichteten Mittelwertbildung.

Mit der Implementierung nach Kapitel 3.3.5 ist allerdings keine feine Nachführung der Länge der Impulsantwort in Abhängigkeit der PWM-Frequenz möglich. Aus Sicht einer optimalen Störunterdrückung wäre dies erstrebenswert, allerdings erschwert die variierende Frequenz der Filterausgangswerte die Auswertung der Sprungantwort. Daher wird eine feste Länge der Impulsantwort nach der höchsten mittleren PWM-Frequenz ausgelegt und Störungen durch eine variierende PWM-Frequenz zu Auswertungszwecken toleriert. Hier wird die Filterausgangsfrequenz zu 16 kHz gewählt. Abbildung 7.4 zeigt die Sprungantwort des d-Stroms bei einer Reglerverstärkung von $94 \frac{\text{V}}{\text{A}}$ bei einer mittleren Schaltfrequenz von 9849 Hz.

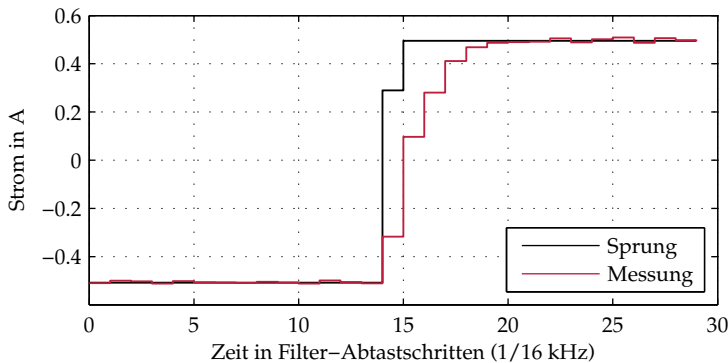


Abb. 7.4: Sprungantwort der Stromregelung $V_p = 94 \frac{\text{V}}{\text{A}}$, Mittelwertbildung über mehrere Sprungantworten

Zur Entfernung des Rauschens wird über 96 Sprungantworten gemittelt. Die Tiefpassfilterung von Soll- und Istwert hat zur Folge, dass der Sollwert keinen Sprung, sondern die Sprungantwort des verwendeten Tief-

passfilters aufweist. Das Einschwingverhalten muss in Relation zu dieser Sprungantwort bewertet werden. Die Sprungantwort des d-Stroms ist gut gedämpft und erreicht nach fünf Filterausgangstakten den Endwert. Zur Verifikation wird die Sprungantwort eines Phasenstroms gemessen. Eine schmalbandige Strommesszange unterdrückt die hochfrequenten Störungen auf den Messsignalen und ermöglicht eine bessere Beurteilung des Phasenstroms. Die Abbildung 7.5 zeigt eine gut gedämpfte Sprungantwort des Phasenstroms, die nach 4-6 Takten den Endwert erreicht. Dies ergibt eine gute Übereinstimmung mit dem aus den $\text{Sinc}^3\text{-Sinc}^1$ -Filtern gewonnenen Verlauf. Das PWM-Muster zu der gestellten Spannung des Phasenstroms zeigt im Bereich des Sprungs eine deutliche Veränderung des Tastverhältnisses.

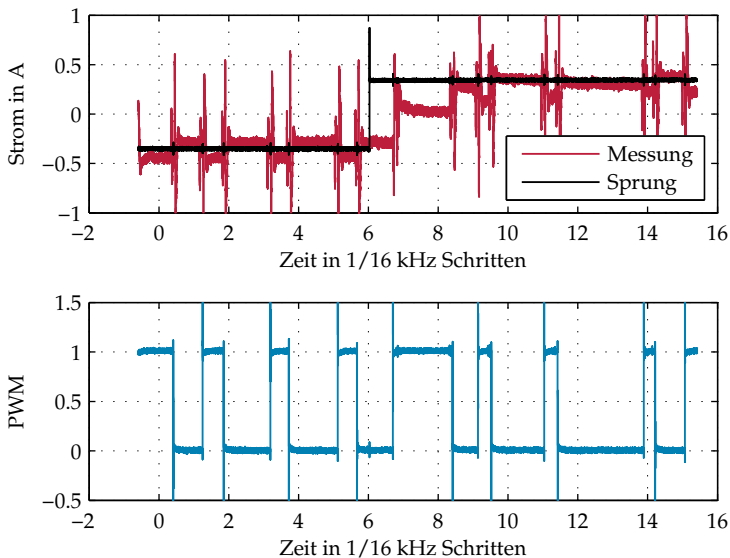


Abb. 7.5: Messung der Sprungantwort des Phasenstroms und des zugehörigen PWM-Musters

Die Sprungantwort bei einer Variation des N_1 -Schwellwertes bei gleicher Reglerverstärkung zeigt Abbildung 7.6. Die mittlere Schaltfrequenz sinkt

bei steigenden N_1 -Werten, wodurch bei der kleinsten mittleren Schaltfrequenz die PWM-Harmonischen deutlich zu erkennen sind.

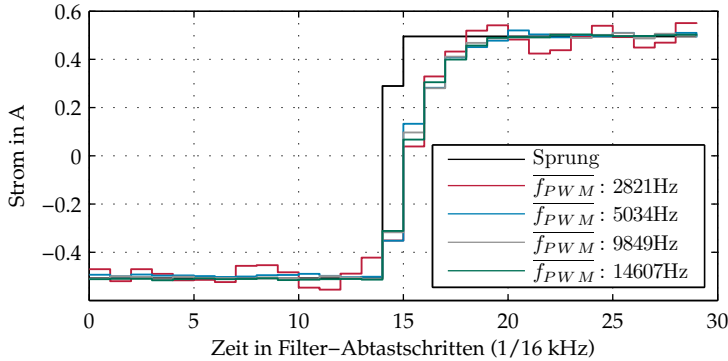


Abb. 7.6: Sprungantworten der Stromregelung $V_p = 94 \frac{\text{V}}{\text{A}}$, Mittelwertbildung über mehrere Sprungantworten

Die Sprungantworten bei verschiedenen N_1 -Werten zeigen eine ähnliche Dynamik. Dies ist bemerkenswert, denn bei einer niederfrequenten zeitdiskreten Stromregelung entdämpft eine Variation der Schaltfrequenz um mehr als 10 kHz den Stromregelkreis deutlich. Die Ersatzzeitkonstante der Umrichterdynamik, bestehend aus Rechenzeit und dem Halteglied der PWM, limitiert die Kleinsignalbandbreite [96]. Die Kombination aus $\Delta\Sigma$ -PWM-Modulator und Stromregelung in DSSV entkoppelt in gewissen Grenzen die Dynamik der Stromregelung von der PWM-Schaltfrequenz. Die Gründe dafür sind die hochfrequente Signalverarbeitung und vor allem die Möglichkeit, noch kurz vor der PWM-Schaltflanke mit den Quanten Einfluss auf die Fehlertrajektorie des $\Delta\Sigma$ -PWM-Modulators zu nehmen.

Eine Steigerung der Reglerverstärkung führt zu einem hochdynamischen Einschwingverhalten, wie Abbildung 7.7 zeigt. Mit einer Reglerverstärkung von $472 \frac{\text{V}}{\text{A}}$ wird eine sehr kurze Einschwingzeit im Bereich des Filterausgangstaktes von $62,5 \mu\text{s}$ erreicht. Der Istwert folgt dem Sollwert ohne signifikante Verzögerung. Es tritt auch keine Totzeit, wie bei zeitdiskreten Regelungen üblich, am Anfang der Sprungantwort auf. Die mittlere Schaltfrequenz beträgt 15,6 kHz.

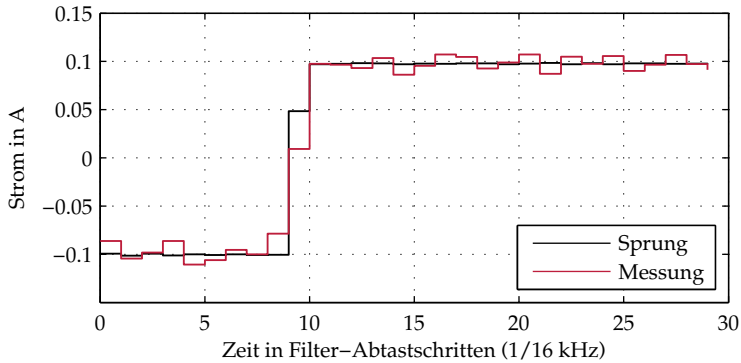


Abb. 7.7: Sprungantwort der Stromregelung $V_p = 472 \frac{V}{A}$, Mittelwertbildung über mehrere Sprungantworten

Analytische Auslegung

Die gemessenen Sprungantworten zeigen ein Einschwingverhalten in Abhängigkeit der Verstärkung des Stromreglers. Aufgrund der nicht-linearen Spannungsregelung kann eine Auslegung des Stromreglers nur näherungsweise erfolgen. Die Messungen der Bode-Diagramme der Spannungsregelung zeigen, dass ein Totzeit-Verhalten eine gute Approximation darstellt. Als Strecke für den Stromregler ergibt sich damit das approximierte Totzeitverhalten und das PT_1 Verhalten mit der Statorzeitkonstante T_{sa} , wie in Abbildung 7.8 dargestellt.

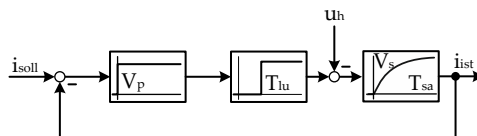


Abb. 7.8: Dynamik des Stromreglers und der Strecke

Da die Totzeit der Spannungsregelung im Bereich von $10 \mu s$ klein gegenüber der Statorzeitkonstante von $6,2 ms$ ist, wird die Dynamik der

Spannungsregelung zunächst vernachlässigt. Der vereinfachte offene Kreis lautet dementsprechend

$$G_{k,v.} = \frac{V_p V_s}{T_{sa} \cdot s + 1}. \quad (7.24)$$

Der geschlossene Regelkreis folgt zu:

$$G_{g,v.} = \frac{G_{k,v.}}{G_{k,v.} + 1} = \frac{V_p V_s}{1 + V_p V_s} \cdot \frac{1}{\frac{T_{sa}}{1 + V_p V_s} \cdot s + 1}. \quad (7.25)$$

Nach der Gleichung (7.25) verschiebt der P-Regler die Statorzeitkonstante T_{sa} zu einer kleineren Zeitkonstante T_i .

$$T_i = \frac{T_{sa}}{1 + V_p V_s} \quad (7.26)$$

Zur Verifikation wird die gemessene Sprungantwort des Stromregelkreises mit der simulierten PT_1 -Sprungantwort nach Gleichung (7.25) verglichen. Da der gemessene Verlauf mit der Sinc^3 - Sinc^1 -Kaskade gefiltert wird, muss dies auch bei der simulierten Sprungantwort erfolgen. Abbildung 7.9 zeigt eine gute Übereinstimmung zwischen gemessenen und simulierten Verläufen. Damit ist die Auslegung für moderate Reglerverstärkungen gerechtfertigt. Für den hochdynamischen Stromregler mit einer Verstärkung von $472 \frac{V}{A}$ folgt für die berechnete Dynamik ein PT_1 mit einer Zeitkonstante von

$$T_i = 22 \mu s, \quad (7.27)$$

die im Bereich der Größenordnung der verwendeten Spannungsregelung ($T_{l,u} = 10 \mu s$) liegt. In diesem Fall ist die Vernachlässigung der Spannungsregelungsdynamik kritisch, allerdings rechtfertigt die Sprungantwort in Abbildung 7.7 durchaus eine sehr kleine Zeitkonstante. Da die Zeitkonstante des berechneten PT_1 -Glieds von $22 \mu s$ kleiner als die Filterausgangsperiode von $62,5 \mu s$ ist, lässt sich keine genaue Verifikation durchführen.

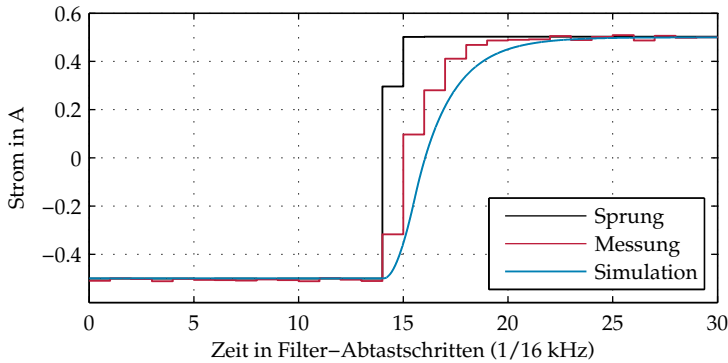


Abb. 7.9: Vergleich Messung und Simulation, Mittelwertbildung über mehrere Sprungantworten, Stromregler Verstärkung von $94 \frac{\text{V}}{\text{A}}$

Für die Auslegung des hochdynamischen Stromreglers wird eine Methode basierend auf dem Phasenabstand Ψ_d des Bode-Diagramms vorgeschlagen. Abbildung 7.10 zeigt das Bode-Diagramm der Überlagerung des P-Reglers, des PT_1 als Dynamik der Ständerspannungsgleichung und der Totzeit als Dynamik der Spannungsregelung. Durch den P-Regler findet eine Verschiebung des Betragsverlaufs statt, während der Phasenverlauf unabhängig von der Verstärkung des P-Reglers ist. Damit wird der Phasenabstand Ψ_d beeinflusst, der als Abstand zwischen $-\pi$ und der Phase bei dem Schnittpunkt des Betrags mit der Einheitsverstärkung definiert ist [77]. Für eine hinreichende Dämpfung wird in [77] mindestens folgender Bereich empfohlen:

$$30^\circ < \Psi_d < 60^\circ. \quad (7.28)$$

Kleinere Phasenabstände führen zu schwach gedämpften Systemen und für $\Psi_d < 0$ zu Instabilität, während größere Phasenabstände zu besser gedämpften Systemen führen. Die Auslegung kann entweder grafisch anhand des Bode-Diagramms mit Simulations-Werkzeugen wie MATLAB oder rechnerisch erfolgen. Für die rechnerische Variante wird zunächst die Amplitudendurchtrittsfrequenz ω_d bestimmt, bei der der Gesamtbetrag des offenen Kreises gleich 1 ist.

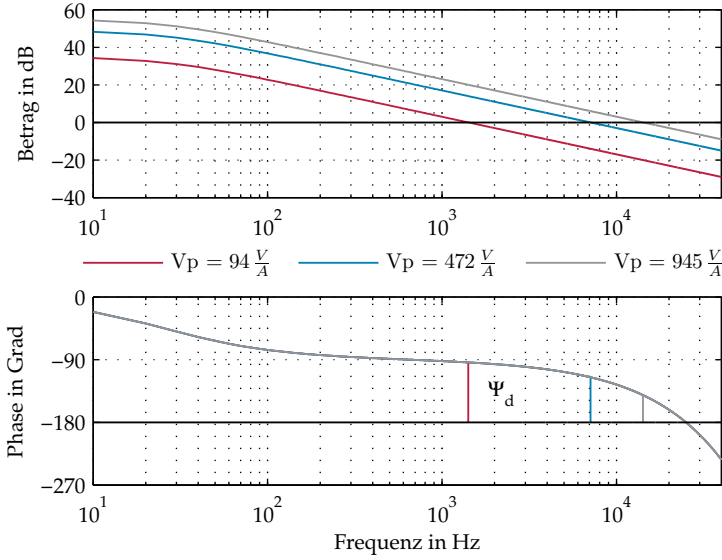


Abb. 7.10: Bode-Diagramm des offenen Stromregelkreises

Zur Berechnung von ω_d wird der vereinfachte offene Kreis verwendet, da der Betrag des Laufzeit-Glieds für alle Frequenzen gleich 1 ist.

$$G_{k,v.}(s) = \frac{V_p V_s}{T_{sa} \cdot s + 1} \quad (7.29)$$

$$|G_{k,v.}(j\omega_d)| = \frac{V_p V_s}{\sqrt{1 + \omega_d^2 T_{sa}^2}} \stackrel{!}{=} 1 \quad (7.30)$$

Daraus ergibt sich mit $V_s = 1/R_s$

$$\omega_d = \pm \sqrt{\frac{V_p^2 - R_s^2}{R_s^2 T_{sa}^2}}. \quad (7.31)$$

Für ein reelles ω_d muss V_p größer als R_s sein. Dies ist auch physikalisch sinnvoll, da sonst die gesamte Verstärkung kleiner als die Einheitsverstär-

kung ist. Zur Berechnung des Phasenabstandes wird eine Phasenbilanz bei der Durchtrittsfrequenz ω_d gebildet.

$$\Psi_d = \pi - \phi_{PT1}(\omega_d) - \phi_{Totzeit}(\omega_d) \quad (7.32)$$

$$\Psi_d = \pi - \arctan(\omega_d T_{sa}) - \omega_d \cdot T_{lu} \quad (7.33)$$

Für einige beispielhafte Reglerverstärkungen ergeben sich die Phasenabstände und Durchtrittsfrequenzen nach Tabelle 7.1.

Tabelle 7.1: Phasenabstände Ψ_d

V_p in $\frac{V}{A}$	ω_d in $\frac{rad}{s}$	Ψ_d in Grad
94	8,87k	84,9
472	44,5k	64,5
945	89,2k	38,9

Die Arkustangens-Funktion erschwert die Berechnung des inversen Zusammenhangs von Gleichung (7.33). Mit einer Näherung des Arkustangens durch eine gebrochenrationale Funktion konnte zwar ein inverser Zusammenhang gefunden werden, dieser ist allerdings wegen seiner hohen Komplexität ungeeignet für eine Reglerauslegung. Mit Annahmen über die Zeitkonstanten der Strecke und entsprechende Vereinfachungen lässt sich der inverse Zusammenhang einfacher aufstellen. Die Statorzeitkonstante einer PMSM liegt üblicherweise im ms Bereich und die Totzeit der Spannungsregelung im μs Bereich. Damit gilt für $\omega_d T_{sa}$

$$\omega_d T_{sa} \gg 1 \quad (7.34)$$

und für den Arkustangens

$$\arctan(\omega_d T_{sa}) \approx \frac{\pi}{2}. \quad (7.35)$$

Unter diesen Annahmen lautet Gleichung (7.33)

$$\Psi_d = \frac{\pi}{2} - \omega_d \cdot T_{lu}. \quad (7.36)$$

Mit Gleichung (7.31) folgt

$$V_p = \pm \sqrt{\left(\frac{\frac{\pi}{2} - \Psi_d}{T_{lu}}\right)^2 R_s^2 T_{sa}^2 + R_s^2}. \quad (7.37)$$

Für einen minimalen Phasenabstand von 30° ist die maximale Reglerverstärkung

$$V_p = 1114 \frac{V}{A}. \quad (7.38)$$

Gegenüber der Sprungantwort aus Abbildung 7.7 mit einer Reglerverstärkung von $472 \frac{V}{A}$ ist durch eine Steigerung der Verstärkung auf $1114 \frac{V}{A}$ ein deutlich schnelleres Einschwingverhalten erzielbar.

7.1.2 Stationäres Verhalten bei Wechsellanregung

Die Verwendung von P-Stromreglern erfordert eine Betrachtung der stationären Fehler, da diese Regler keine stationäre Genauigkeit gewährleisten. Die Sollwerte der P-Stromregler im 120° -System sind im stationären Betrieb sinusförmige Größen. Das Bode-Diagramm der Führungs- und Störübertragungsfunktion liefert eine Aussage über die Größe der Betragsabweichungen und Phasenverzögerungen in Abhängigkeit von der Anregungsfrequenz. Der offene Kreis der Stromregelschleife nach Abbildung 7.8 ist

$$G_k = V_p \frac{V_s}{T_{sa} \cdot s + 1} e^{-T_{lu}s}. \quad (7.39)$$

Die Führungsübertragungsfunktion des geschlossenen Regelkreises von i_{soll} zu i_{ist} lautet

$$G_{g,u} = \frac{G_k}{1 + G_k} \quad (7.40)$$

$$= \frac{V_p V_s e^{-T_{lu}s}}{T_{sa} \cdot s + 1 + V_p V_s e^{-T_{lu}s}}. \quad (7.41)$$

Das Bode-Diagramm von $G_{g,u}$ in Abbildung 7.11 wird durch Simulation berechnet.

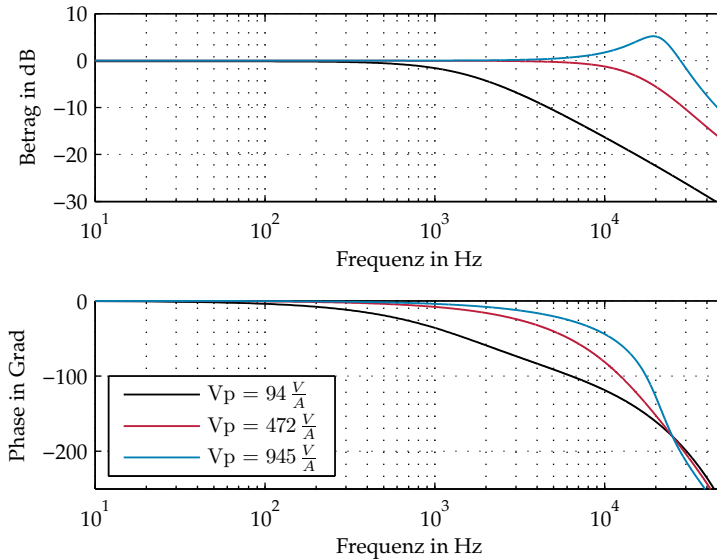


Abb. 7.11: Bode-Diagramm der Führungsübertragungsfunktion

Der Betragsverlauf zeigt eine mit der Reglerverstärkung steigende Grenzfrequenz. Die Stromreglereinstellung von $945 \frac{V}{A}$ mit einem geringen Phasenabstand zeigt erwartungsgemäß eine deutliche Betragsüberhöhung. Eine steigende Reglerverstärkung führt zu einem geringen Phasenabfall. Aufgrund der Laufzeit im Stromregelkreis fällt die Phase auch für hohe Frequenzen weiter ab. Insbesondere der Phasenabfall im Bode-Diagramm ist kritisch, da eine Abweichung zwischen den angeforderten d- und q-Strömen und den realen Strömen in der Maschine entsteht. Daraus resultiert eine Fehlorientierung der d- und q-Achse, die zu einem erhöhten Blindstrombedarf und einem weniger effizienten Betrieb der Maschine führen kann. Für eine hochdynamische Stromreglereinstellung von $472 \frac{V}{A}$ und $945 \frac{V}{A}$ ist für Frequenzen bis zu 1 kHz nur ein geringer Betrags- und Phasenabfall zu verzeichnen. Für die maximale Frequenz

der Phasenströme der verwendeten PMSM von 250 Hz ergeben sich die Betrags- und Phasenabfälle nach Tabelle 7.2.

Tabelle 7.2: Betrags- und Phasenabfall der Führung bei 250 Hz

V_p in $\frac{V}{A}$	Betragsabfall	Phasenabfall in Grad
94	0,9702	-9,911
472	0,9963	-2,017
945	0,9983	-1,009

Die Fehler der hochdynamischen Stromreglereinstellungen sind für die meisten Anwendungen vernachlässigbar. Eine weitere Reduktion der Fehler ist durch eine Korrektur der d- und q-Stromsollwerte mit dem inversen Betrags- und Phasenverlauf möglich.

Die Störübertragungsfunktion des geschlossenen Regelkreises von u_h zu i_{ist} lautet

$$G_{g,d} = \frac{\frac{V_s}{T_{sa} \cdot s + 1}}{1 + G_k} \quad (7.42)$$

$$= \frac{V_s}{T_{sa} \cdot s + 1 + V_p V_s e^{-T_{lus}}} \quad (7.43)$$

Abbildung 7.12 zeigt eine Simulation des Bode-Diagramms der Störübertragungsfunktion. Eine Steigerung der Reglerverstärkung führt zu einer besseren Störunterdrückung. Zusätzlich tritt die Phasenabsenkung erst bei höheren Frequenzen auf. Der Betrag der Störübertragungsfunktion erlaubt eine Abschätzung der Amplitude des Störstroms, der durch die induzierte Spannung verursacht wird.

$$i_{stör,1}(\omega) = |G_{g,u}(j\omega)| \cdot u_{h,1}(\omega) \quad (7.44)$$

Der in Abbildung 7.13 dargestellte Verlauf von Gleichung (7.44) zeigt einen beträchtlichen Störstrom im Vergleich zum Nennstrom der verwendeten Maschine. Eine Vorsteuerung dieser Störung ist daher unbedingt notwendig.

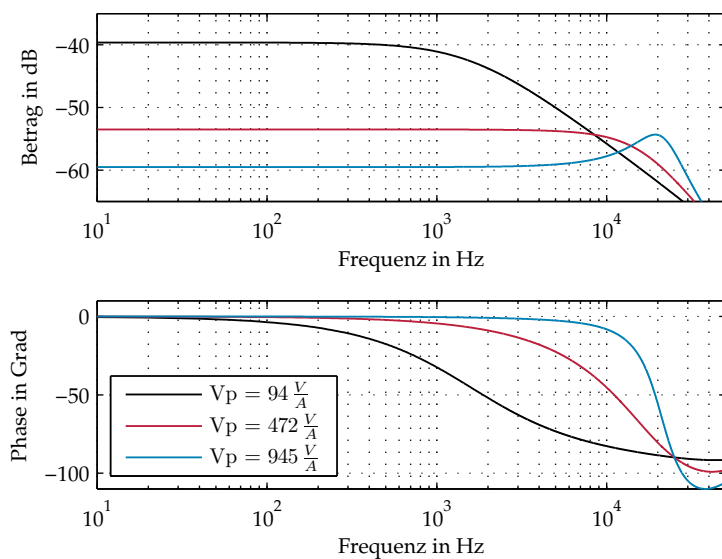


Abb. 7.12: Bode-Diagramm der Störübertragungsfunktion

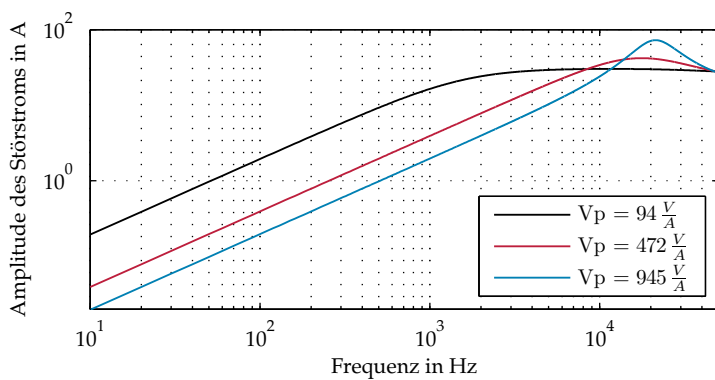


Abb. 7.13: Amplitude des Störstroms

7.2 Drehzahlregelung

Der Drehzahlregler wird als PI-Regler in DSSV nach Abbildung 4.15 umgesetzt und nach dem symmetrischen Optimum [77] ausgelegt. Der geschlossene Stromregelkreis wird als PT_1 -Glied approximiert. Die Drehzahl wird durch Differenzierung des Winkels erzielt und die Stellgröße des Drehzahlreglers wird als Bitstrom der Soll-Stromtransformation, wie in Abbildung 7.14 gezeigt, übergeben.

Abbildung 7.15 zeigt den Verlauf der mittleren Schaltfrequenz und der Tastverhältnisse der N_{1X} - und N_2 -Indikatoren über der Soll-Drehzahl im stationären Zustand im Leerlauf. Es entstehen höhere mittlere Schaltfrequenzen bei niedrigen Drehzahlen als in dem Schaltfrequenzverlauf der Spannungssteuerung in Abbildung 6.9. Dies ist der Wirkung von Drehzahlregler und Stromregler zuzuschreiben, die mehr Rauschen in den $\Delta\Sigma$ -PWM-Modulator eintragen. Letztendlich ist der Betrag des gestellten Spannungsraumzeigers für die mittlere Schaltfrequenz verantwortlich. Der N_{1X} -Indikator deutet ab der höchsten mittleren Schaltfrequenz auf einen Spannungsbetrag nahe der Spannungsgrenze hin. Der N_2 -Indikator spricht ab 415 rad/s dauerhaft an und markiert einen Bereich, in dem die Schaltfrequenz nahe 0 ist. In diesem Bereich findet eine Synchronisierung des $\Delta\Sigma$ -PWM-Modulators auf die elektrische Kreisfrequenz statt. Die Schaltfrequenz entspricht in etwa der elektrischen Kreisfrequenz von 230 Hz, so dass ein Betrieb mit Blockkommutierung [108] entsteht.

7.3 Feldschwächung

Bisher wurden die Indikatoren N_{1X} und N_2 nur zur Veranschaulichung genutzt. Das Tastverhältnis des N_{1X} -Schwellwertes markiert verschiedene Modulationsarten von der Raumzeigermodulation bis zur Übermodulation. Diese Information wird genutzt, um einen Feldschwächregler zu entwerfen. Üblicherweise wird in einem integralen Feldschwächregler ein Vergleich der Ist-Spannung aus den Stromreglerausgängen und der gemessenen Zwischenkreisspannung gebildet [109]. Dabei wird allerdings nicht die Fehlspannung des Frequenzumrichters berücksichtigt.

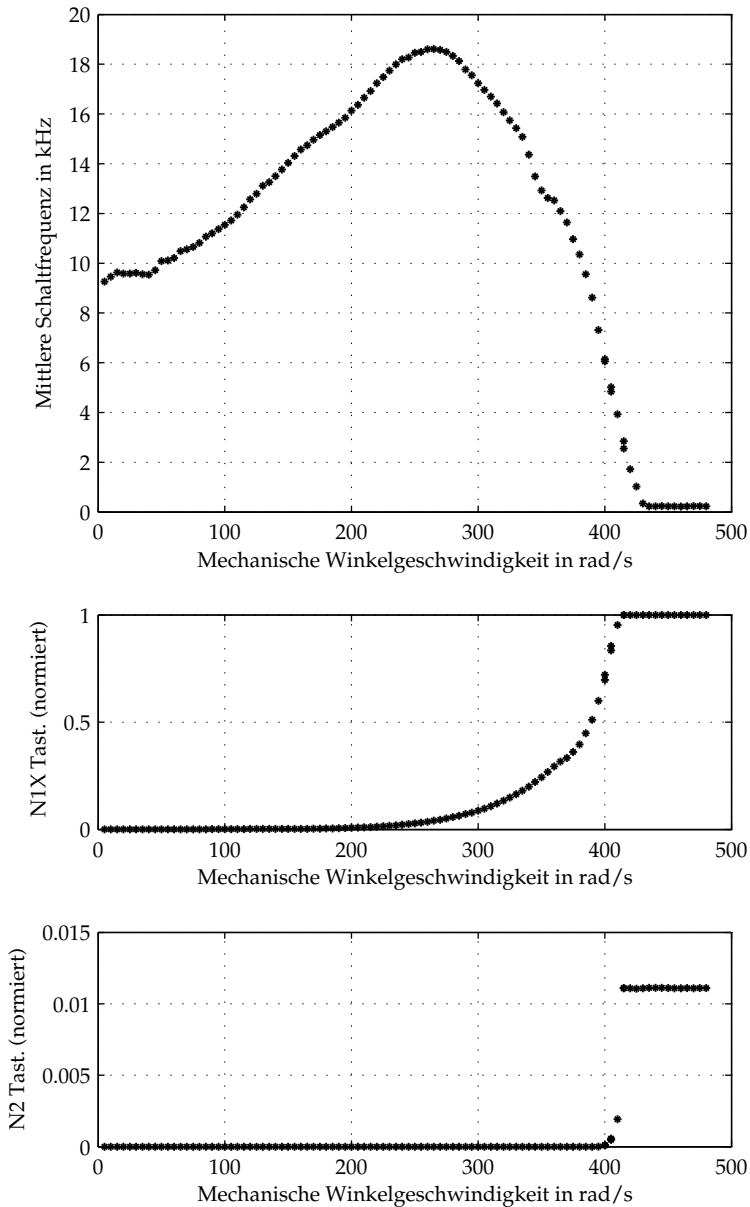


Abb. 7.15: Schaltfrequenzen und Indikatoren bei Drehzahlregelung im Leerlauf

Ein alternativer Feldschwächregler, wie in Abbildung 7.16 dargestellt, bildet den Soll-Istwert Vergleich anhand des N_{1X} Tastverhältnisses. Über das N_{1X} -Tastverhältnis wird die an den Umrichterklappen zur Verfügung stehende Spannung vom Feldschwächregler berücksichtigt, da das N_{1X} -Tastverhältnis erst ansteigt, wenn die Soll-Spannung größer als die Ist-Spannung ist. Der N_{1X} -Sollwert stellt die maximale Abweichung von der Betriebsart Raumzeigermodulation ein. Je größer N_{1X} ist, desto öfter dürfen Nullvektoren in der Raumzeigermodulation ausgelassen werden. Beim maximalen N_{1X} -Tastverhältnis von 1 wird die Übermodulation verwendet. Der Betrieb ohne Nullvektoren bei niedrigen Schaltfrequenzen stellt bezüglich der Spannungsausnutzung den optimalen Fall dar, verursacht allerdings auch hohe PWM-Harmonische. Über den N_{1X} -Sollwert kann applikationsspezifisch ein Kompromiss gefunden werden. Abbildung 7.17 zeigt die mittlere Schaltfrequenz, den N_{1X} -Indikator und den d-Strom. Der N_{1X} -Sollwert wird durch die Absenkung des d-Stroms nicht überschritten.

Die Verbindung einer rotororientierten Stromvorgabe in der DSSV und des hochdynamischen $\Delta\Sigma$ -PWM-Modulators mit P-Stromreglern im 120° -System ermöglichen eine hochdynamische Stromregelung einer PMSM. Die Auslegung der P-Stromregler nach dem Phasenabstand ist mit einer approximierten Dynamik der Spannungsregelung möglich. Die stationären Fehler in Betrag und Phase der Stromregler bei Wechsellastregelung können über das Bode-Diagramm der Führungsübertragungsfunktion abgeschätzt werden. Das Bode-Diagramm der Störübertragungsfunktion verdeutlicht, dass eine Vorsteuerung der induzierten Spannung unerlässlich ist. Eine Drehzahlregelung mit einem Feldschwächregler, der anhand von internen Größen des $\Delta\Sigma$ -PWM-Modulators den Regelfehler zwischen Soll- und Ist-Spannung bestimmt, erlaubt eine Einstellung der Modulationsart im Bereich der Spannungsgrenze.

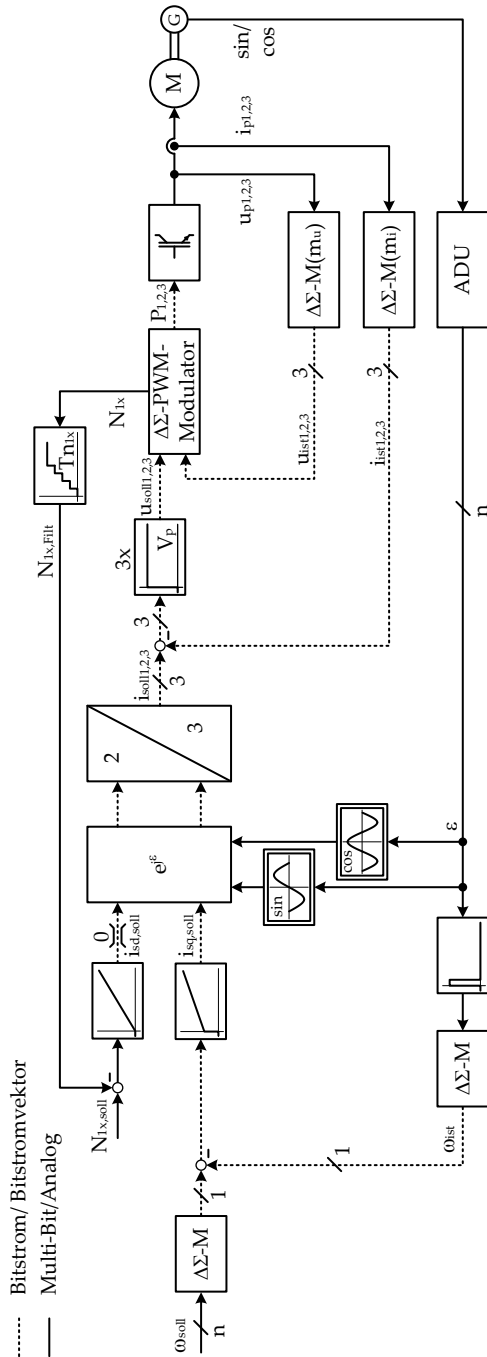


Abb. 7.16: Drehzahlregelung mit Feldschwächung

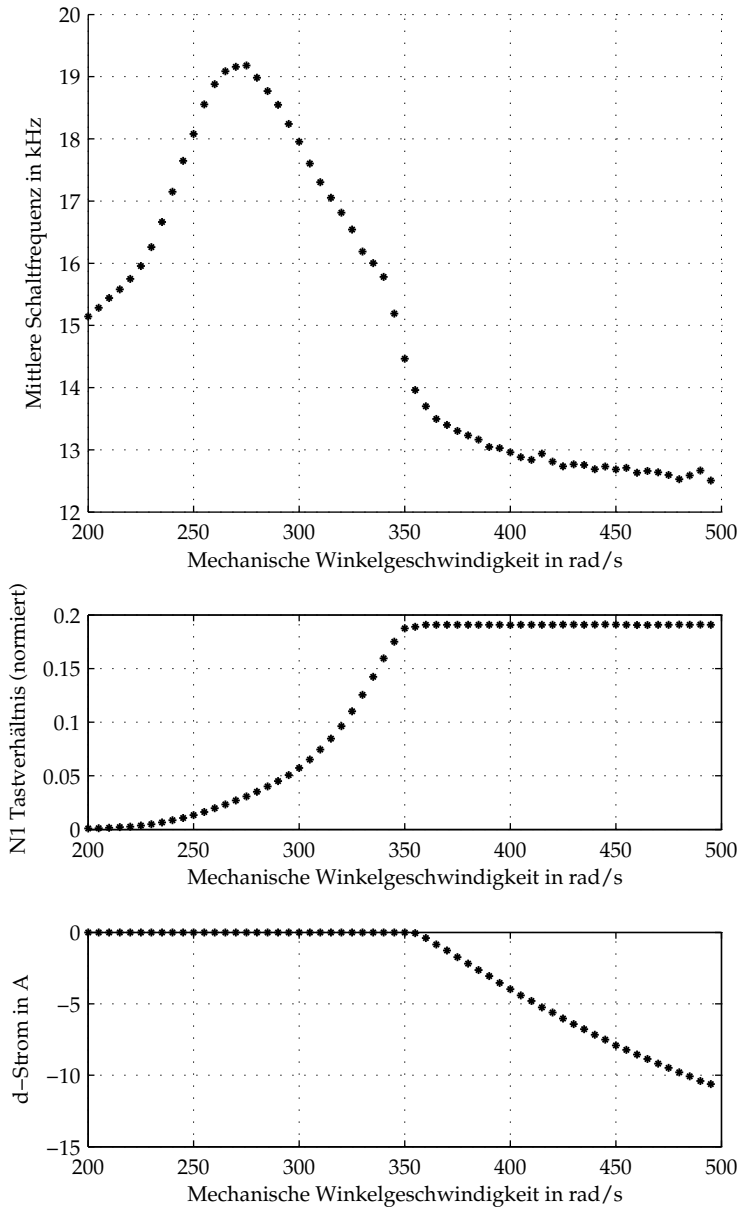


Abb. 7.17: Schaltfrequenzen und Indikatoren bei Drehzahlregelung mit Feldschwächung im Leerlauf

8 Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurde eine hochdynamische Strom- und Spannungsregelung für eine PMSM auf Basis von $\Delta\Sigma$ -Bitströmen entworfen und untersucht. Basierend auf der konventionellen Stromregelung mit $\Delta\Sigma$ -ADUs wurde der Einfluss des digitalen Filters auf die Störunterdrückung und die Dynamik des Stromregelkreises einer PMSM analysiert. Der digitale Filter erlaubt zwar eine Einstellung des Kompromisses zwischen Störunterdrückung und Dynamik nach der ADU, begrenzt letztendlich jedoch die erzielbare Kleinsignalbandbreite. Eine Steigerung der Bandbreite wurde durch die direkte Verarbeitung der $\Delta\Sigma$ -Bitströme ohne den digitalen Tiefpassfilter und durch einen hochdynamischen Leistungselektronik-Modulator erreicht.

Es wurden drei verschiedene Methoden zur DSSV bewertet und grundlegende Operationen mit dem besten Konzept, der Quantendekodierung, vorgestellt. Die im Stand der Forschung bekannte Lösung zur dreiphasigen hochdynamischen Umsetzung der $\Delta\Sigma$ -Bitströme in geeignete PWM-Signale weist erhebliche Nachteile auf. Diese wurden durch mehrere Maßnahmen aufgehoben und zusätzlich zum Stand der Forschung wurde eine Spannungs- und Stromrückführung direkt integriert. Eine solche Spannungsregelung mit $\Delta\Sigma$ -Bitströmen als innerstem Regelkreis zeigt dabei ein besseres dynamisches Verhalten bezüglich der resultierenden Totzeit als eine Spannungssteuerung auf Basis einer PWM mit synchroner Logik.

Ein überlagerter Stromregelkreis auf Basis von $\Delta\Sigma$ -Bitströmen erzielt eine Steigerung der Dynamik im Vergleich zur konventionellen Stromregelung mit $\Delta\Sigma$ -ADUs. Durch die Steigerung der Reglerverstärkung wurde eine Sprungantwort erreicht, die vergleichbar mit der Sprungantwort einer laufzeitfreien Stromregelung auf Basis von kostenintensiven Flash-ADUs ist. Eine Auslegung des Stromregelkreises nach dem Phasenab-

stand offenbarte eine mögliche Steigerung der Verstärkung um den Faktor 2.

Diese Ziele wurden durch folgende Schritte im Einzelnen gelöst. Die Eigenschaften des $\Delta\Sigma$ -Bitstroms wurden im Zeitbereich untersucht und es wurde eine mittelwert-basierte Beschreibung eingeführt. Die Störungen in der Strommesskette wurden dargestellt und die Störunterdrückungseigenschaft verschiedener digitaler Tiefpassfilter wurde untersucht. Insbesondere bei Tiefpassfiltern, die sich über eine ganze PWM-Periode erstrecken, ist eine gleichgewichtete Mittelwertbildung zu bevorzugen. Messungen zeigen, dass die Kleinsignalbandbreite von der zeitlichen Differenz zwischen dem Schwerpunkt des Filterfensters und der Ausgabe der gestellten Spannung des Stromreglers abhängt. Die gemessenen Kleinsignalbandbreiten in Abhängigkeit der digitalen Filter dienen als Referenz für eine konventionelle Stromregelung mit $\Delta\Sigma$ -ADUs. Zur Erzielung höherer Bandbreiten ist eine Minimierung der Rechenzeit und im besten Fall ein Verzicht auf digitale Filter notwendig.

Dies leistet die, aus der Literatur bekannte, direkte Signalverarbeitung der $\Delta\Sigma$ -Bitströme durch die quasi-kontinuierliche Regelung. Auf Basis der mittelwertbasierten Beschreibung wurde eine eigene Methode entwickelt und diese mit bekannten Konzepten wie dem Delta-Addierer und der Quantendekodierung verglichen. Als Ergebnis wurde die Quantendekodierung aufgrund der flexiblen Einbindung verschiedener interner $\Delta\Sigma$ -Modulatoren bevorzugt. Nach der Auslegung des internen $\Delta\Sigma$ -Modulators wurden Grundbausteine zur Umsetzung linearer Regelkreise angeführt und eine Optimierung eines PI-Reglers bezüglich des SNDRs angegeben.

Um die hohe Bandbreite der DSSV zu nutzen, werden breitbandige Leistungselektronik-Modulatoren benötigt. Aufgrund des innovativen Ansatzes fand zuerst eine Untersuchung und Bewertung verschiedener Verfahren an einer einphasigen Strecke statt. Ein Hysteresebasierter Ansatz verspricht den besten SNDR, weist allerdings auch eine amplitudenabhängige Schaltfrequenz auf. Unter Nutzung der DSSV-Operationen wurde eine direkte Rückführung der gemessenen Spannung über $\Delta\Sigma$ -Bitströme realisiert und die Kompensation der

Umrichter-Nichtlinearitäten in Simulation verifiziert. Die mittelwert-basierte Beschreibung der Bitströme erlaubt eine Berechnung der mittleren Schaltfrequenz des einphasigen Modulators.

Die Ergebnisse wurden auf einen dreiphasigen Aufbau übertragen und es wurde ein $\Delta\Sigma$ -PWM-Modulator entwickelt, der die Nachteile der Lösung aus dem Stand der Forschung aufhebt. Dies wird insbesondere durch eine konsequente Berechnung im 120° Ständersystem, die Einführung einer Phasenhysterese, eines Zyklusbits zur Einhaltung der Raumzeigermodulation und einer phasentreuen Übermodulation gelöst. Messungen am Prüfstand und in Simulation zeigen eine symmetrische Schaltfrequenzverteilung der drei Phasen und eine sinkende Schaltfrequenz in der Übermodulation.

Die Kombination dieses Modulators mit einer Spannungsrückführung über $\Delta\Sigma$ -Bitströme ermöglicht eine hochdynamische Spannungsregelung. Diese Regelung profitiert von der quasi-kontinuierlichen DSSV und der Eigenschaft des $\Delta\Sigma$ -PWM-Modulators, noch kurz vor einer Schaltflanke, Informationen zu verarbeiten. Aufgrund der speziellen Eigenschaften der DSSV wurde ein besonderer Aufbau zur Messung des Bode-Diagramms zur Verifikation der Dynamik verwendet. Die Spannungsregelung zeigt, ebenso wie eine PWM mit synchroner Logik, ein Halteglied-Verhalten, welches jedoch eine geringere Totzeit bietet. Die Stromregelung wurde durch überlagerte P-Regler im 120° Ständersystem in DSSV gelöst. Auch hier zeigen gemessene Bode-Diagramme eine hohe Dynamik.

Eine Transformation der drehmomentbildenden und feldbildenden Stromsollwerte von Rotorkoordinaten nach 120° Ständerkoordinaten in DSSV stellt die Rotororientierung der PMSM sicher. Zur Transformation wurde der hochfrequent aufgelöste Kommutierungswinkel, der aus Flash ADUs gewonnenen wird, genutzt. Die Sprungantworten zeigen bei unterschiedlichen Verstärkungen ein Verhalten ähnlich einer konventionellen Stromregelung mit $\Delta\Sigma$ -ADUs bis hin zu einer laufzeitfreien Stromregelung mit Flash ADUs. Eine Auslegung der Stromregler bei Vernachlässigung der Dynamik der Spannungsregelung zeigt eine gute Übereinstimmung zwischen Simulation und Messung bei niedrigen Ver-

stärkungen. Eine Auslegung der Stromregler nach dem Phasenabstand im Bode-Diagramm berücksichtigt die Dynamik der Spannungsregelung. Die, höchste am Prüfstand verwendete, Verstärkung der Stromregelung kann bei ausreichender Dämpfung laut dieser Auslegung noch um den Faktor 2 gesteigert werden.

Zur Drehzahlregelung wird ein PI-Regler, der nach dem symmetrischen Optimum ausgelegt ist, verwendet. Im Rahmen dieser Arbeit wurde der Fokus auf die Dynamik der Strom- und Spannungsregelung gelegt. Für eine hochdynamische Drehzahlregelung ist die Umsetzung von Maßnahmen zur aktiven Schwingungsunterdrückung [5,110] nötig. Bezüglich der Spannungsausnutzung und Art der Modulation wurden interne Größen des $\Delta\Sigma$ -PWM-Modulators zur Auswertung als auch zur Umsetzung eines integralen Feldschwächreglers genutzt. Mit dessen Sollwert kann die Modulationsart von reiner Raumzeigermodulation bis hin zur Übermodulation bei Erreichen der Spannungsgrenze in feinen Stufen beeinflusst werden.

In dieser Arbeit wurde die Winkelauswertung von Sin/Cos Gebern mit $\Delta\Sigma$ -Modulatoren ausgeklammert. Dies stellt ein aussichtsreiches Thema für zukünftige Arbeiten dar, um auf kostenintensive Flash ADUs zu verzichten. Des Weiteren erscheint eine Anwendung des $\Delta\Sigma$ -PWM-Modulators auf eine drehgeberlose Regelung durch die gute Spannungsregelung sinnvoll. Die Beschreibung der Bitströme im Zeitbereich liefert eine Vorgehensweise, um das stationäre Schaltfrequenzverhalten und eventuell auch die Schaltfrequenzverteilung des dreiphasigen $\Delta\Sigma$ -PWM-Modulators in zukünftigen Arbeiten zu berechnen. Weiterhin stellt ein integraler Schaltfrequenzregler einen Ansatz zur Einstellung der mittleren Schaltfrequenz dar. Die verwendeten P-Stromregler sind einfach zu parametrieren und die notwendige Vorsteuerung der induzierten Spannung stellt nur einen geringen Aufwand dar. Für Anwendungen, in denen der Betrags- oder Phasenabfall der P-Stromregler bei Wechselanregung zu hoch ist, können auch PI-Stromregler in dq-Koordinaten in DSSV umgesetzt werden.

Die DSSV in Verbindung mit einem $\Delta\Sigma$ -PWM-Modulator ist auch für die Regelungen von anderen Drehstromantrieben, wie zum Beispiel

der Asynchronmaschine, von Bedeutung. Geregelte Drehstromantriebe in der Elektromobilität profitieren unter anderem von der guten Spannungsausnutzung, die eine Effizienzsteigerung ermöglicht. Auch die Leistungselektronik stellt eine mögliche Anwendung dar. Die DSSV und der $\Delta\Sigma$ -PWM-Modulator können, wie teilweise bereits gezeigt, auf einphasige Systeme oder weitere Topologien wie H-Brücken oder Multi-Level Umrichter übertragen werden und dort die hohe Bandbreite und die Kompensation von Umrichter-Nichtlinearitäten zur Wirkung bringen. Zudem kann die verteilte Schaltfrequenz hilfreich bei der Einhaltung von Grenzwerten der elektromagnetischen Verträglichkeit sein.

Literaturverzeichnis

- [1] Khiem, Nguyen, R. Adams und K. Sweetland: *A 113 dB SNR oversampling sigma-delta DAC for CD/DVD application*. IEEE Transactions on Consumer Electronics, 44(3):1019–1023, 1998.
- [2] Blech, B. und M.-C Yang: *Untersuchung zur auditiven Differenzierbarkeit digitaler Aufzeichnungsverfahren: Hörvergleich Direct Stream Digital und High-Resolution-PCM (24bit/176,4kHz)*. Diplomarbeit, Hochschule für Musik Detmold, 2004.
- [3] Sony Electronics Inc., Philips Electronics N.V.: *Super Audio Compact Disc - A Technical Proposal*, 1997. <http://www.superaudiocenter.com/images/dsd.pdf>.
- [4] Reiss, J. und M. Sandler: *Digital Audio Effects Applied Directly On A DSD Bitstream*. In: *Proc. of the 7th Int. Conference on Digital Audio Effects*, 2004.
- [5] Gröling, C.: *Optimierungspotenzial bei Servoumrichtern für permanentregte Synchronmaschinen*. Dissertation, TU Braunschweig, 2009.
- [6] Schmirgel, H., J. O. Krah und R. Berger: *Delay Time Compensation in the Current Control Loop of Servo Drives – Higher Bandwidth at no Trade-off*. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM)*, 2006.
- [7] Klarenbach, C. und J. O. Krah: *Fast and High Precision Motor Control for High Performance Servo Drives*. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM)*, 2010.
- [8] Krah, J. O.: *Regelverfahren und Regelvorrichtung mit mehrkanaliger Rückführung*. Angemeldet durch Beckhoff Automation GmbH am 12.07.2007. Veröffentlichungsnr.: DE 102007032484 A1, 2009.

- [9] Mathapati, S.: *FPGA-Based High Performance AC Drives*. Dissertation, Universität Paderborn, 2011.
- [10] Krah, J. O. und M. Hölting: *Hybrid Control of 2- and 3-Level Converters*. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM)*, 2014.
- [11] Becker, F.: *Ein neues adaptives Verfahren zur hochdynamischen Stromregelung*. Dissertation, Karlsruher Institut für Technologie, 2011.
- [12] Böcker, J., S. Beinecke und A. Bähr: *On the Control Bandwidth of Servo Drives*. In: *13th European Conference on Power Electronics and Applications (EPE)*, 2009.
- [13] Mertens, A. und D. Eckardt: *Voltage and current sensing in power electronic converters using sigma-delta A/D conversion*. *Industry Applications*, IEEE Transactions on, 34(5):1139–1146, 1998.
- [14] Peters, W., B. Schulz, S. Mathapati und J. Böcker: *Regular-sampled current measurement in AC drives using delta-sigma modulators*. In: *13th European Conference on Power Electronics and Applications (EPE)*, 2009.
- [15] Gröling, C., B. Amlang, W. Schumacher und M. Grobe: *High-Frequency Lumped Parameter Winding Model of a Synchronous Servo Drive*. In: *IEEE 39th Power Electronics Specialists Conference*, 2008.
- [16] Boglietti, A. und E. Carpaneto: *An accurate high frequency model of AC PWM drive systems for EMC analysis*. In: *Industry Applications Conference. Thirty-Sixth IAS Annual Meeting. Conference Record of the IEEE*, Band 2, Seiten 1111–1117, 2001.
- [17] Landsmann, P.: *Sensorless Control of Synchronous Machines by Linear Approximation of Oversampled Current*. Dissertation, TU München, 2014.
- [18] Schümann, U.: *Parameteridentifikation und -adaption an Asynchronmaschinen*. Dissertation, Universität Bremen, 2005.
- [19] Lux, M.: *Vermessung, Modellierung und Regelung zweier lagerloser Motoren in metallischen Spaltrohren*. Dissertation, TU Braunschweig, 2014.

- [20] Gröling, C., W. Schumacher und B. Amlang: *Modelling of Quantization Effects in Current Control for a Synchronous Servo Drive*. In: *12th European Conference on Power Electronics and Applications (EPE)*, 2007.
- [21] Oljaca, M. und T. Hendrick: *Combining the ADS1202 with an FPGA Digital Filter for Current Measurement in Motor Control Applications*, 2003. <http://www.ti.com/lit/an/sbaa094/sbaa094.pdf>.
- [22] Hein, S.: *A fast block-based nonlinear decoding algorithm for $\Sigma\Delta$ modulators*. Signal Processing, IEEE Transactions on, 43(6):1360–1367, 1995.
- [23] Wiemer, I.: *Dekodieralgorithmen für Sigma-Delta-Modulatoren*. Dissertation, TU Dresden, 2005.
- [24] Fischer, H.: *Ein Inkrement-Rechensystem für Anwendungen in der Mess- und Regelungstechnik*. Dissertation, TU Braunschweig, 1968.
- [25] Reinemann, T.: *Verfahren zur direkten Implementierung von Algorithmen auf Gatterebene*. Dissertation, Otto-von-Guericke-Universität Magdeburg, 2003.
- [26] Lagoyannis, D. und K. Pekmestzi: *Multipliers of delta-sigma sequences*. Radio and Electronic Engineer, 51(6):281–286, 1981.
- [27] Kouvaras, N.: *Operations on delta-modulated signals and their application in the realization of digital filters*. Radio and Electronic Engineer, 48(9):431–438, 1978.
- [28] Zrilic, D. G.: *Circuits and Systems Based on Delta Modulation: Linear, Nonlinear and Mixed Mode Processing*. Springer, 2005.
- [29] Ng, C.: *Bit-stream signal processing on FPGA*. Dissertation, University of Hong Kong, 2008.
- [30] Kershaw, S. M. und M. B. Sandler: *Digital signal processing on a sigma-delta bitstream*. In: *Oversampling Techniques and Sigma-Delta Modulation*, IEE Colloquium on, Seiten 9/1–9/8, 1994.
- [31] Wong, P. W. und R. M. Gray: *FIR filters with sigma-delta modulation encoding*. Acoustics, Speech and Signal Processing, IEEE Transactions on, 38(6):979–990, 1990.

- [32] Beis, U.: *Eine Einführung in Delta Sigma Wandler*, 2007.
http://www.beis.de/Elektronik/DeltaSigma/DeltaSigma_D.html.
- [33] Maloberti, F. und P. O'Leary: *Processing of signals in their oversampled delta-sigma domain*. In: *Circuits and Systems. Conference Proceedings, China., 1991 International Conference on*, Seiten 438–441, 1991.
- [34] Riemschneider, K.-R.: *Parallele Hardware für Backpropagation-Netze auf der Basis stochastischer Rechenwerke*. Dissertation, Universität der Bundeswehr Hamburg, 1996.
- [35] Kurosawa, M. K., M. Kawakami, K. Tojo, T. Katagiri und T. Higuchi: *Single-bit digital signal processing for current control of brushless DC motor*. In: *Industrial Electronics. ISIE. Proceedings of the IEEE International Symposium on*, Band 2, Seiten 589–594, 2002.
- [36] Patel, N., G. Coghil und Kiong Nguang Sing: *Digital realization of analogue computing elements using bit streams*. In: *System-on-Chip for Real-Time Applications, Proceedings. The 3rd IEEE International Workshop on*, Seiten 76–80, 2003.
- [37] Patel, N.: *Bit-streams: Applications in Control*. Dissertation, University of Auckland, 2006.
- [38] Patel, N. und U. Madawala: *A bit-stream based scalar control of an induction motor*. In: *Industrial Electronics. IECON. 34th Annual Conference of IEEE*, Seiten 1071–1076, 2008.
- [39] Al Makhles, D., A. Swain und N. Patel: *Delta-Sigma based bit-stream controller for a D.C. motor*. In: *TENCON IEEE Region 10 Conference*, Seiten 1–5, 2012.
- [40] Fujisaka, H., M. Sakamoto, Jun Ahn Chang, T. Kamio und Kazuhisa Haeiwa: *Sorter-Based Arithmetic Circuits for Sigma-Delta Domain Signal Processing—Part II: Multiplication and Algebraic Functions*. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 59(9):1966–1979, 2012.
- [41] Xin, C. und M. Brooke: *A compact CPU architecture for sensor signal processing*. In: *Circuits and Systems. ISCAS. Proceedings. IEEE International Symposium on*, Seite 4 pp, 2006.

- [42] Da Fonte Dias, V.: *Sigma-delta signal processing*. In: *Circuits and Systems, ISCAS '94., IEEE International Symposium on*, Band 5, Seiten 421–424, 1994.
- [43] Patel, N. und U. Madawala: *A Bit-Stream-Based PWM Technique for Sine-Wave Generation*. *Industrial Electronics, IEEE Transactions on*, 56(7):2530–2539, 2009.
- [44] Callegari, S. und F. Bizzarri: *Should $\Delta\Sigma$ modulators used in AC motor drives be adapted to the mechanical load of the motor?* In: *Electronics, Circuits and Systems (ICECS), 2012 19th IEEE International Conference on*, Seiten 849–852, 2012.
- [45] Schmidt, G. und M. Neuburger: *On Delta-Sigma-Modulation techniques for Permanent-Magnet Synchronous Motors*. In: *Industrial Technology (ICIT), IEEE International Conference on*, Seiten 618–623, 2013.
- [46] Almakhlles, D. J., A. K. Swain und N. D. Patel: *Stability and Performance Analysis of Bit-Stream-Based Feedback Control Systems*. *Industrial Electronics, IEEE Transactions on*, 62(7):4319–4327, 2015.
- [47] Dunlap, S. K. und T. S. Fiez: *A noise-shaped switching power supply using a delta-sigma modulator*. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 51(6):1051–1061, 2004.
- [48] Luckjiff, G., I. Dobson und D. Divan: *Interpolative sigma delta modulators for high frequency power electronic applications*. In: *Power Electronics Specialists Conference. PESC '95 Record., 26th Annual IEEE*, Band 1, Seiten 444–449, 1995.
- [49] Luckjiff, Glen A. und I. Dobson: *Hexagonal $\Delta\Sigma$ modulators in power electronics*. *Power Electronics, IEEE Transactions on*, 20(5):1075–1083, 2005.
- [50] Nieznanski, J., A. Wojewodka und R. J. Chrzan: *Comparison of vector sigma-delta modulation and space-vector PWM*. In: *Industrial Electronics Society. IECON. 26th Annual Conference of the IEEE*, Band 2, Seiten 1322–1327, 2000.
- [51] Mertens, A.: *Performance analysis of three-phase inverters controlled by synchronous delta-modulation systems*. *Industry Applications, IEEE Transactions on*, 30(4):1016–1027, 1994.

- [52] Luckjiff, G. A.: *Sigma Delta Modulators with Hexagonal Quantisation*. Dissertation, University of Wisconsin-Madison, 2003.
- [53] Texas Instruments, Incorporated: *GaN Technology Preview, LMG5200 80-V, GaN Half-Bridge Power Stage*, 2015. <http://www.ti.com/lit/ds/symlink/lmg5200.pdf>.
- [54] Adams, B.: *Latest Trends in Noise-Shaping from the Silicon Side*. In: *Oversampling and Coarse Quantization for Signals*, 2005.
- [55] Corradini, L., A. Bjeletic, R. Zane und D. Maksimovic: *Fully digital hysteretic modulator for DC-DC switching converters*. In: *Energy Conversion Congress and Exposition (ECCE). IEEE*, Seiten 3312–3319, 2009.
- [56] Bradshaw, J., U. Madawala, N. Patel und M. Vilathgamuwa: *A Bit-Stream based space vector modulator*. In: *International Power Electronics Conference (IPEC)*, Seiten 855–861, 2010.
- [57] Bradshaw, J. B.: *Bit-Stream Control of Doubly Fed Induction Generators*. Dissertation, University of Auckland, 2012.
- [58] Klemenz, M.: *Die Geräuschqualität bei der Anfahrt elektrischer Schienenfahrzeuge*. Dissertation, RWTH Aachen, 2005.
- [59] Ponick, B.: *Elektrische Maschine und Verfahren zur Herstellung einer elektrischen Maschine*. Angemeldet durch Leibniz Universität Hannover am 27.08.2009. Veröffentlichungsnr.: DE102009038761A1, 2011.
- [60] Schreier, R. und G. C. Temes: *Understanding delta-sigma data converters*. IEEE Press, Piscataway, NJ, 2005.
- [61] Ortmanns, M. und F. Gerfers: *Continuous-time sigma-delta AD conversion: Fundamentals, performance limits and robust implementations*, Band 21 der Reihe *Springer series in advanced microelectronics*. Springer, Berlin, 2006.
- [62] Reiss, J. D.: *Understanding Sigma-Delta Modulation: Solved and Unsolved Issues*. J. Audio Eng. Soc., (Vol. 56, No. 1/2):49–64, 2008.
- [63] Ardalan, S. H. und J. J. Paulos: *An analysis of nonlinear behavior in delta - sigma modulators*. *Circuits and Systems, IEEE Transactions on*, 34(6):593–603, 1987.

- [64] Inose, H., Y. Yasuda und J. Murakami: *A Telemetry System by Code Modulation - $\Delta\Sigma$ -Modulation*. Space Electronics and Telemetry, IRE Transactions on, 8(3):204–209, 1962.
- [65] Pelgrom, M. J. M.: *Analog-to-digital conversion*. Springer, Dordrecht, 2010.
- [66] Candy, J.: *A Use of Double Integration in Sigma Delta Modulation*. IEEE Transactions on Communications, 33(3):249–258, 1985.
- [67] Tietze, U. und C. Schenk: *Halbleiter-Schaltungstechnik*. Springer, 10. Auflage, 1993.
- [68] Kulchycki, S. D.: *Continuous-Time Sigma-Delta ADCs*, 2008. <http://www.ti.com/lit/an/snaa098/snaa098.pdf>.
- [69] Chao, K.C H., S. Nadeem, W.L Lee und C.G Sodini: *A higher order topology for interpolative modulators for oversampling A/D converters*. IEEE Transactions on Circuits and Systems, 37(3):309–318, 1990.
- [70] Schreier, R.: *Delta Sigma Toolbox*, 2000. <http://www.mathworks.com/matlabcentral/fileexchange/19-delta-sigma-toolbox>.
- [71] Metzger, B.: *Betrachtungen zur Wirkungsweise von Sigma-Delta-Modulatoren*. Dissertation, TU Ilmenau, 2001.
- [72] Farrell, R. und O. Feely: *Bounding the integrator outputs of second-order sigma-delta modulators*. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, 45(6):691–702, 1998.
- [73] Baird, R. T. und T. S. Fiez: *Stability analysis of high-order delta-sigma modulation for ADC's*. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, 41(1):59–62, 1994.
- [74] Marques, A., V. Peluso, M. S. Steyaert und W. M. Sansen: *Optimal parameters for $\Delta\Sigma$ modulator topologies*. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, 45(9):1232–1241, 1998.
- [75] Dunn, C. und M. Sandler: *Use of clipping in sigma-delta modulators*. In: *Oversampling Techniques and Sigma-Delta Modulation*, IEE Colloquium on, Seiten 8/1–8/9, 1994.

- [76] Kessler, C.: *Ein Beitrag zur Theorie mehrschleifiger Regelungen*. Zeitschrift Regelungstechnik, (8):261–266, 1960.
- [77] Schumacher, W.: *Grundlagen der Regelungstechnik: Umdruck zur Vorlesung an der Technischen Universität Braunschweig*. Skript zur Vorlesung, TU Braunschweig, 2008.
- [78] Risbo, L.: $\Sigma - \Delta$ Modulators - *Stability and Design Optimization*. Dissertation, Technical University of Denmark, 1994.
- [79] Lota, J., M. Al Janabi und I. Kale: *Accurate stability prediction of one-bit higher-order delta-sigma modulators for multiple-sinusoidal inputs*. Circuits, Devices & Systems, IET, 6(2):71–78, 2012.
- [80] Geerts, Y., M. Steyaert und W. M. C. Sansen: *Design of multi-bit delta-sigma AD converters*, Band 686 der Reihe SECS. Kluwer Academic Publishers, Boston, 2002.
- [81] Hogenauer, E. B.: *An economical class of digital filters for decimation and interpolation*. Acoustics, Speech and Signal Processing, IEEE Transactions on, 29(2):155–162, 1981.
- [82] Candy, J. C.: *Decimation for Sigma Delta Modulation*. Communications, IEEE Transactions on, 34(1):72–76, 1986.
- [83] Hammel, W. und R. M. Kennel: *High-resolution sensorless position estimation using delta-sigma-modulated current measurement*. IEEE Energy Conversion Congress and Exposition (ECCE), Seiten 2717–2724, 2011.
- [84] Texas Instruments, Incorporated: *Datasheet ADS1258: SBAS297G*, 2005. <http://www.ti.com/lit/ds/symlink/ads1258.pdf>.
- [85] Düsterberg, D. und H. Borchherding: *Verfahren zum Erzeugen eines digitalen Signals*. Angemeldet durch Lenze SE am 08.08.2011. Veröffentlichungsnr.: DE 102011080586A1, 2013.
- [86] Texas Instruments, Incorporated: *Datasheet ADS1204: SBAS301C*, 2009. <http://www.ti.com/lit/ds/symlink/ads1204.pdf>.
- [87] LEM: *Current Transducer LAH 25-NP, Datenblatt, Version 8*, 2015. http://www.lem.com/docs/products/lah_25-np.pdf.

- [88] Martens, O. und W. Schumacher: *Referenzsystem für hochdynamische Mehrachsregelung*. In: *SPS/IPC/Drives*, 2014.
- [89] Martens, O., J. Klöck und W. Schumacher: *Evaluation of Multi-Axis Control Systems*. In: *International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM)*, 2015.
- [90] Neacsu, D. O.: *Space vector modulation - An introduction - Tutorial*. In: *IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society*, 2011.
- [91] Sammoud, H.: *Sensorreduktion bei der Regelung eines permanenterregten Synchronmotors mit großem Feldschwäcbereich*. Dissertation, TU Braunschweig, 2002.
- [92] Urasaki, N., T. Senjyu, K. Uezato und T. Funabashi: *Adaptive Dead-Time Compensation Strategy for Permanent Magnet Synchronous Motor Drive*. *Energy Conversion, IEEE Transactions on*, 22(2):271–280, 2007.
- [93] Suzuki, T., K. Sakamoto, T. Takeuchi und Y. Notohara: *Embedded-friendly online dead-time compensation using PWM timer*. In: *Energy Conversion Congress and Exposition (ECCE), IEEE*, Seiten 3906–3912, 2011.
- [94] Orlik, T.: *Modellierung und sensorlose Regelung permanenterregter Synchronmaschinen unter Berücksichtigung des Sättigungsverhaltens*. Dissertation, TU Braunschweig, 2014.
- [95] Leonhard, Werner: *Regelung elektrischer Antriebe*. Springer, Berlin, 2., völlig überarb. und erw. Auflage, 2000.
- [96] Schumacher, W.: *Regelung in der elektrischen Antriebstechnik*. Vorlesungsskript, TU Braunschweig, 2015.
- [97] Bähr, A., C. Gröling, S. Zink und S. Beinecke: *Anwendung von Delta-Sigma-Konvertern in der Servo-Antriebstechnik*. In: *SPS/IPC/Drives*, 2011.
- [98] Eynde, F. O. und W. Sansen: *Analog Interfaces for Digital Signal Processing Systems*, Band 225 der Reihe *The Springer International Series*

In Engineering And Computer Science, Analog Circuits and Signal Processing. Springer, Boston, MA, 1993.

- [99] Meher, P. K., J. Valls, Bing Juang Tso, K. Sridharan und K. Maharatna: *50 Years of CORDIC: Algorithms, Architectures, and Applications.* Circuits and Systems I: Regular Papers, IEEE Transactions on, 56(9):1893–1907, 2009.
- [100] Al Makhles, D., N. Patel und A. Swain: *Conventional and Hybrid Bit-Stream in Real-Time System.* In: *Intelligent Solutions in Embedded Systems (WISES), Proceedings of the 11th Workshop on*, Seiten 1–6, 2013.
- [101] Weibo, L., Y. Orino, M. K. Kurosawa und T. Katagiri: *Conversion of a single-bit signal into a PWM signal.* In: *TENCON. IEEE Region 10 Conference*, Band A, Seiten 519–522, 2004.
- [102] Magrath, A. J. und M. B. Sandler: *Hybrid pulse width modulation/sigma-delta modulation power digital-to-analogue converter.* Circuits, Devices and Systems, IEE Proceedings, 143(3):149–156, 1996.
- [103] Boys, J. T. und P. G. Handley: *Spread spectrum switching: low noise modulation technique for PWM inverter drives.* Electric Power Applications, IEE Proceedings B, 139(3):252–260, 1992.
- [104] Aurasopon, A., P. Kumhom und K. Chamnongthai: *The Variable Hysteresis Band in Delta-Sigma Modulation.* In: *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Seiten 2248–2255, 2004.
- [105] Gaalaas, E., Yang Liu Bill und N. Nishimura: *Integrated stereo delta-sigma class D amplifier.* In: *Solid-State Circuits Conference. Digest of Technical Papers. ISSCC. IEEE International*, Seiten 120–588, 2005.
- [106] Yasuda, A., A. Ohkubo, K. Ogata, H. Ueno, T. Anzai, T. Kimura, K. Ochiai und T. Hamasaki: *A single-chip audio system with delta-sigma DAC and class-D amplifier.* In: *Circuits and Systems. ISCAS. Proceedings. IEEE International Symposium on*, Seite 4 pp, 2006.
- [107] Junle, P., Y. Libin und L. Yong: *A Sigma-Delta class D audio power amplifier in 0.35 μ m CMOS technology.* In: *SoC Design Conference, 2008. ISOC '08. International*, Band 01, Seiten I–5–I–8, 2008.

- [108] Hering, Ekbert, Alois Vogt und Klaus Bressler: *Handbuch der elektrischen Anlagen und Maschinen*. VDI-Buch. Springer, Berlin, 1999.
- [109] Quang, Nguyen Phung und Jörg-Andreas Dittrich: *Praxis der feldorientierten Drehstromantriebsregelungen*. expert-Verlag, Renningen-Malmsheim, 2., neubearb. Auflage, 1999.
- [110] Bähr, A.: *Speed Acquisition Methods for High-Bandwidth Servo Drives*. Dissertation, TU Darmstadt, 2004.

Veröffentlichungen im Rahmen dieser Dissertation

- [HKKS16] Homann, M., A. Klein, R. Kirchner und W. Schumacher: *Quasi-kontinuierliche Signalverarbeitung mit Delta Sigma Bitströmen in der Antriebstechnik - Ein Überblick* (Veröffentlichung April 2016). In: *Fortschritte in der Antriebs- und Automatisierungstechnik*, 2016.
- [HNS13] Homann, M., T. Noeßelt und W. Schumacher: *Aspekte der Strommessung in Drehfeldmaschinen mit Delta Sigma Umsetzern*. In: *SPS/IPC/Drives*, Seiten 429–438, 2013.
- [HS15] Homann, M. und W. Schumacher: *Stromrichter und Computerprogramm*. Angemeldet durch Technische Universität Braunschweig am 20.06.2014. Veröffentlichungsnr.: DE 102014108667 A1, 2015.

Betreute studentische Arbeiten

- [111] Noeßelt, T.: *Aufbau und Inbetriebnahme eines Sigma-Delta Modulationssystems für den Einsatz in der elektrischen Antriebstechnik*. Bachelorarbeit, TU Braunschweig, 2011.
- [112] Noeßelt, T.: *Untersuchung eines inversen Modells zur Stromsteuerung einer Asynchronmaschine*. Masterarbeit, TU Braunschweig, 2013.
- [113] Kirchner, R.: *Digitale Speicherung und Untersuchung von hochfrequenten Delta Sigma Bitströmen*. Masterarbeit, TU Braunschweig, 2015.
- [114] Xu, H.: *Entwurf, Implementierung und Bewertung einer feldorientierten Bitstromregelung für eine Synchronmaschine*. Masterarbeit, TU Braunschweig, 2013.